

JP2002373936 A

**WIRING FORMATION METHOD BY DUAL DAMASCENE METHOD**

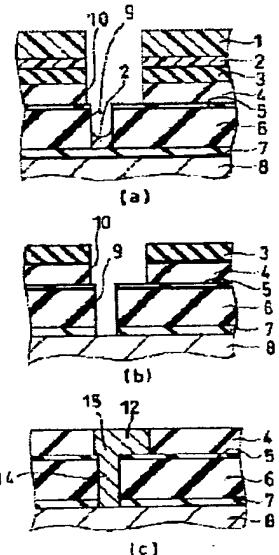
NEC CORP

**Inventor(s):NAGAHARA SEIJI**

**Application No. 2001179995 JP2001179995 JP, Filed 20010614,A1 Published 20021226Published 20021226**

**Abstract: PROBLEM TO BE SOLVED:** To provide a wiring formation method using a dual damascene method for controlling dimensions in the horizontal direction of a via hole easily, and for preventing the formation of a crown due to a residue caused by the incomplete dissolution of resist.

**SOLUTION:** An etching stopper film 7, an interlayer insulating film 6, an etching stopper film 5, an interlayer insulating film 4, and a cap film 3 are formed on a lower layer wiring layer 8 successively to form a via hole 9. A lower layer reflection prevention film 2 is applied onto one portion in the via hole 9 and the cap film 3. A positive type resist 1 is applied so that space on the lower layer reflection prevention film 2 and the lower layer reflection prevention film 2 in the via hole 9 is buried. The resist 1 should have an exposure section dissolution speed of 250 to 700 nm/second, and an non-exposure section dissolution speed of 0.05 to 0.4 nm/second. The resist 1 is developed and exposed to form a wiring trench 10. Then, a conductive material 12 is buried in the via hole 9 and wiring trench 10.



1 ; レジスト	2 ; 下層反射防止膜	3 ; キャップ膜
4, 6 ; 層間絶縁膜	5, 7 ; エッチングストップ膜	
8 ; 下層配線層	9 ; ビアホール	10 ; 窪溝トレンチ
12 ; 電着材料	14 ; ビア	15 ; 配線

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-373936  
(P2002-373936A)

(43) 公開日 平成14年12月26日 (2002.12.26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	マーク(参考)
H 01 L 21/768		G 03 F 7/11	5 0 3 2 H 0 2 5
G 03 F 7/11	5 0 3	7/40	5 2 1 2 H 0 9 6
7/40	5 2 1	H 01 L 21/28	L 4 M 1 0 4
H 01 L 21/027		21/90	A 5 F 0 3 3
21/28			C

審査請求 未請求 請求項の数14 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2001-179995 (P2001-179995)

(22) 出願日 平成13年6月14日 (2001.6.14)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 永原 誠司

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100090158

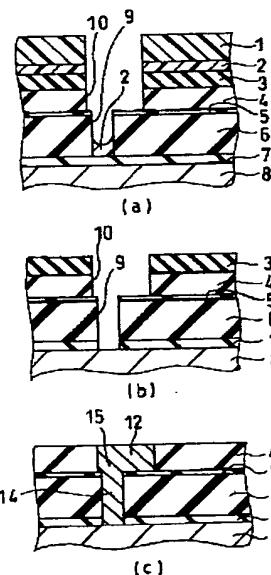
弁理士 藤巻 正憲

(54) 【発明の名称】 デュアルダマシン法による配線形成方法

(57) 【要約】

【課題】 ビアホールの横方向の寸法制御が容易であつて、レジストの溶け残りによるクラウンの発生を防止できるデュアルダマシン法による配線形成方法を提供する。

【解決手段】 下層配線層8上にエッチングストップ膜7、層間絶縁膜6、エッチングストップ膜5、層間絶縁膜4及びキャップ膜3をこの順に形成し、ビアホール9を形成する。次に、ビアホール9内の一部及びキャップ膜3上に下層反射防止膜2を塗布する。次に、下層反射防止膜2上及びビアホール9内における下層反射防止膜2上の空間を埋めるようにポジ型のレジスト1を塗布する。このレジスト1は、露光部溶解速度が250乃至700nm/秒であり、未露光部溶解速度が0.05乃至0.4nm/秒であるものを使用する。このレジスト1を現像・露光し、配線トレチ10を形成する。次に、ビアホール9及び配線トレチ10に導電材料12を埋め込む。



1 ; レジスト 2 ; 下層反射防止膜 3 ; キャップ膜  
4、6 ; 層間絶縁膜 5、7 ; エッチングストップ膜 8 ; 下層配線層 9 ; ビアホール 10 ; 配線トレチ  
12 ; 导電材料 14 ; ビア 15 ; 配線

## 【特許請求の範囲】

【請求項1】 下層導体層上に第1の層間絶縁膜を形成する工程と、この第1の層間絶縁膜上に第2の層間絶縁膜を形成する工程と、この第2の層間絶縁膜上にビアホールパターンの開口を有する第1のレジスト膜を形成する工程と、この第1のレジスト膜をマスクとして前記第1及び第2の層間絶縁膜をエッチングしてビアホールを形成する工程と、前記第2の層間絶縁膜上及び前記ビアホール内の一剖を埋め込むように反射防止膜を形成する工程と、前記反射防止膜上及び前記ビアホール内の残部を埋め込むように露光部溶解速度が250乃至700nm/秒である第2のレジスト膜を形成する工程と、前記第2のレジスト膜をフォトリソグラフィにより露光及び現像して前記第2のレジスト膜に配線パターンの開口を形成する工程と、前記第2のレジスト膜をマスクとして前記反射防止膜及び前記第2の層間絶縁膜をエッチングして配線溝を形成する工程と、前記第2のレジスト膜及び前記反射防止膜を除去する工程と、前記ビアホール及び前記配線溝に導電材料を埋め込んで前記下層導体層に接続されるビア及びこのビアに接続される配線を形成する工程と、を有することを特徴とするデュアルダマシン法による配線形成方法。

【請求項2】 前記反射防止膜をエッチングする工程において、前記ビアホール内におけるエッチング後の反射防止膜の上面の位置は、前記第1の層間絶縁膜の上面の位置よりも低いことを特徴とする請求項1に記載のデュアルダマシン法による配線形成方法。

【請求項3】 下層導体層上に第1の層間絶縁膜を形成する工程と、この第1の層間絶縁膜上に第2の層間絶縁膜を形成する工程と、この第2の層間絶縁膜上にビアホールパターンの開口を有する第1のレジスト膜を形成する工程と、この第1のレジスト膜をマスクとして前記第1及び第2の層間絶縁膜をエッチングしてビアホールを形成する工程と、前記第2の層間絶縁膜上及び前記ビアホールを埋め込むように露光部溶解速度が250乃至700nm/秒である第2のレジスト膜を形成する工程と、前記第2のレジスト膜をフォトリソグラフィにより露光及び現像して前記第2のレジスト膜に配線パターンの開口を形成する工程と、前記第2のレジスト膜をマスクとして前記第2の層間絶縁膜をエッチングして配線溝を形成する工程と、前記第2のレジスト膜を除去する工程と、前記ビアホール及び前記配線溝に導電材料を埋め込んで前記下層導体層に接続されるビア及びこのビアに接続される配線を形成する工程と、を有することを特徴とするデュアルダマシン法による配線形成方法。

【請求項4】 前記第2のレジスト膜の未露光部溶解速度が0.05乃至0.4nm/秒であることを特徴とする請求項1乃至3のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項5】 前記第2のレジスト膜がメタクリル系レ

ジストからなり、前記露光がArFエキシマレーザにより行われることを特徴とする請求項1乃至4のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項6】 前記第2のレジスト膜がアセタールレジスト又はESCAPレジストからなり、前記露光がKrFエキシマレーザにより行われることを特徴とする請求項1乃至4のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項7】 前記ビアホール及び前記配線溝に導電材料を埋め込んでビア及び配線を形成する工程の後に、CMPにより前記第2の層間絶縁膜上の前記導電材料を除去する工程を有することを特徴とする請求項1乃至6のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項8】 前記下層導体層と前記第1の層間絶縁膜との間に第1のエッチングストッパ膜を形成する工程を有し、前記第1及び第2の層間絶縁膜をエッチングしてビアホールを形成する工程においてエッチングは前記第1のエッチングストッパ膜にて停止させることを特徴とする請求項1乃至7のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項9】 前記第1の層間絶縁膜と前記第2の層間絶縁膜との間に第2のエッチングストッパ膜を形成する工程を有し、前記第2の層間絶縁膜をエッチングして配線溝を形成する工程においてエッチングは前記第2のエッチングストッパ膜にて停止させることを特徴とする請求項1乃至8のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項10】 前記第1の層間絶縁膜がSiO<sub>2</sub>により形成されていることを特徴とする請求項1乃至9のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項11】 前記第2の層間絶縁膜がシリコン酸化膜、ラデーオキサイド、SiLK及びSiOFからなる群から選択された少なくとも1種の材料により形成されていることを特徴とする請求項1乃至10のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項12】 前記導電材料が銅又は銅合金であることを特徴とする請求項1乃至11のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項13】 前記下層導体層は下層配線層であることを特徴とする請求項1乃至12のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項14】 前記下層導体層は基板表面に形成されたトランジスタの電極層であることを特徴とする請求項1乃至12のいずれか1項に記載のデュアルダマシン法による配線形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置の多層

配線構造等の形成に使用されるビアファーストデュアルダマシン法による配線形成方法に関し、特に、レジストの溶解速度の最適化を図ったビアファーストデュアルダマシン法による配線形成方法に関する。

#### 【0002】

【従来の技術】半導体集積回路装置の多層配線を形成する方法として埋め込み配線 (Damascene) 技術が有効である。その中でも、上層の配線が形成される配線構と、前記上層配線と下層配線又は基板とを接続するビアホール又はコンタクトホール（以下、両者を含めてビアホールという）とを絶縁膜に形成した後、前記配線構とビアホールとに同時に金属膜を埋め込んで配線とビアとを同時に形成するデュアルダマシン (Dual Damascene) 法は、製造工程の簡略化及びT A T (Turn-and-Around-Time) の短縮化を可能とし、半導体集積回路装置の製造コストを著しく低減することができるという利点がある。特に、デュアルダマシン法のうち、配線構よりも先にビアホールを形成するビアファーストデュアルダマシン法は、ビアホールを形成するためのエッチング工程において、レジストの段差を減少させることができ、この結果、より微細な加工が可能になるという利点がある。また、レジストにはポジ型レジスト及びネガ型レジストがあるが、解像性が良好で種類が豊富なポジ型レジストが一般的に使用されている。

【0003】図11 (a) 乃至 (c) 、図12 (a) 乃至 (c) 及び図13 (a) 乃至 (c) は、従来のビアファーストデュアルダマシン法による配線形成方法の一例を、その工程順に示す断面図である。先ず、図11

(a) に示すように、下層配線層8上にSiCNからなるエッチングストッパ膜7を形成する。次に、SiO<sub>2</sub>からなる層間絶縁膜6を形成し、その上にSiCからなるエッチングストッパ膜5を形成する。次に、ラダー式キサイドからなる層間絶縁膜4を形成し、その上にプラズマによりSiO<sub>2</sub>を堆積させてキャップ膜3を形成する。

【0004】次に、下層反射防止膜 (BARC : Bottom Anti-Reflective Coating、図示せず) を塗布し、レジスト (図示せず) を塗布する。次に、このレジストをKrFエキシマレーザにより露光し、その後現像して、このレジストにフォトリソグラフィによりビアホールパターンを形成する。

【0005】次に、図11 (b) に示すように、このビアホールパターンが形成されたレジスト (図示せず) をマスクとして、下層反射防止膜 (図示せず) 、キャップ膜3、層間絶縁膜4、エッチングストッパ膜5及び層間絶縁膜6をエッチングし、エッチングストッパ膜7まで到達するビアホール9を形成する。次に、O<sub>2</sub>プラズマアッシング及び有機剥離液により、レジスト及び下層反射防止膜を剥離する。

【0006】次に、図11 (c) に示すように、キャップ

膜3上及びビアホール9内に、有機物からなる下層反射防止膜2を塗布する。このとき、下層反射防止膜2はビアホール9を完全に埋め込むように形成する。即ち、フルフィルとする。

【0007】次に、図12 (a) に示すように、下層反射防止膜2上にポジ型のレジスト11を塗布する。

【0008】次に、図12 (b) に示すように、このレジスト11をKrFエキシマレーザにより露光し、その後現像して、レジスト11にフォトリソグラフィによりトレンチパターンを形成する。

【0009】次に、図12 (c) に示すように、このレジスト11をマスクとして、下層反射防止膜2に対してO<sub>2</sub>プラズマ剥離による異方性エッチバックを行い、ビアホール9内の下層反射防止膜2を少なくともエッチングストッパ膜5に相当する位置までエッチングする。

【0010】次に、図13 (a) に示すように、レジスト11をマスクとしてキャップ膜3、層間絶縁膜4をエッチングし、配線トレンチ (溝) 10を形成する。

【0011】次に、図13 (b) に示すように、O<sub>2</sub>プラズマアッシング又は有機剥離液により、レジスト11及び下層反射防止膜2を剥離する。

【0012】次に、図13 (c) に示すように、ビアホール9内及び配線トレンチ10内にCuからなる導電材料12を埋め込み、CMP (Chemical mechanical Polishing ; 化学的機械的研磨) によりキャップ膜3の表面を平坦化する。これにより、キャップ膜3上の導電材料12の全て及びキャップ膜3の大部分が除去され、配線構造が完成する。

【0013】しかしながら、この従来の配線形成方法においては、図12 (c) に示す工程において、有機物からなる下層反射防止膜2を300乃至600nmの深さに亘って異方性をもってエッチバックする必要があり、このエッチバックにおける横方向の寸法制御が難しいという問題点がある。

【0014】この問題点を解決するために、下層反射防止膜をビアホール内に完全には埋め込まずに部分的に埋め込む方法、即ち、フルフィルではなくパーシャルフィルにする方法がある。以下、この方法について説明する。

【0015】図14 (a) 乃至 (c) 、図15 (a) 乃至 (c) 及び図16 (a) 乃至 (c) は、このパーシャルフィル法によるビアファーストデュアルダマシン法の配線形成方法を、その工程順に示す断面図である。なお、前述のフルフィル法による配線形成方法における構成要素と同じ構成要素には同一の符号を付し、詳細な説明を省略する。

【0016】先ず、図14 (a) に示すように、下層配線層8上にエッチングストッパ膜7、層間絶縁膜6、エッチングストッパ膜5、層間絶縁膜4及びキャップ膜3をこの順に形成する。次に、下層反射防止膜 (図示せ

ず) を塗布し、レジスト(図示せず)を塗布する。次に、このレジストをKrfエキシマレーザにより露光し、その後現像することにより、前記レジストにビアホールパターンを形成する。

【0017】次に、図14(b)に示すように、このビアホールパターンが形成されたレジスト(図示せず)をマスクとして、下層反射防止膜(図示せず)、キャップ膜3、層間絶縁膜4、エッチングストッパ膜5及び層間絶縁膜6をエッチングし、エッチングストッパ膜7に到達するビアホール9を形成する。次に、O<sub>2</sub>プラズマアッティング又は有機剥離液により、レジスト及び下層反射防止膜を剥離する。

【0018】次に、図14(c)に示すように、ビアホール9内及びキャップ膜3上有機物からなる下層反射防止膜2を塗布する。このとき、下層反射防止膜2はビアホール9を部分的に埋め込むように形成する。即ち、パーシャルフィルとする。

【0019】次に、図15(a)に示すように、ビアホール9内及び下層反射防止膜2上にポジ型のレジスト11を塗布する。このとき、レジスト11はビアホール9内における下層反射防止膜2上の空間を埋め込む。

【0020】次に、図15(b)に示すように、このレジスト11をKrfエキシマレーザにより露光し、その後現像して、フォトリソグラフィによりレジスト11にトレンチパターンを形成する。このとき、ビアホール9内にはレジスト11が残留する。

【0021】次に、図15(c)に示すように、このトレンチパターンが形成されたレジスト11をマスクとして、キャップ膜3上の下層反射防止膜2を除去する。

【0022】次に、図16(a)に示すように、レジスト11をマスクとしてキャップ膜3、層間絶縁膜4をエッチングし、配線トレンチ(溝)10を形成する。

【0023】次に、図16(b)に示すように、O<sub>2</sub>プラズマアッティング及び有機剥離液により、レジスト11及び下層反射防止膜2を剥離する。

【0024】次に、図16(c)に示すように、ビアホール9及び配線トレンチ10に導電材料12を埋め込む。導電材料12は例えばCuである。これにより、ビア14及び配線15が形成される。その後、キャップ膜3の表面をCMPにより平坦化する。これにより、キャップ膜3上の導電材料12の全て及びキャップ膜3の大部分がCMPにより除去され、配線構造が完成する。

【0025】このパーシャルフィルによる配線形成方法においては、前述のフルフィルによる配線形成方法において、図12(c)に示す下層反射防止膜をO<sub>2</sub>プラズマ剥離により異方性エッチャックする工程を短縮し、レジスト11の開口部の横方向の拡がりを抑制することができる。

【0026】

【発明が解決しようとする課題】しかしながら、上述の

従来の技術には以下に示すような問題点がある。上述のパーシャルフィルによる配線形成方法においては、図15(c)に示す工程において、ビアホール9内に埋め込まれたレジスト11が溶け残るという問題点がある。これは、露光に際してビアホール9内のレジスト11にはKrfエキシマレーザの光が十分に届かないことに起因する。レジスト11はポジ型レジストであるため、露光されることにより現像液に溶解するようになる。従って、露光が不十分であると、現像液への溶解速度が十分に上がらず、溶け残ってしまう。

【0027】一方、図14(b)に示す工程において、エッチングによりビアホール9を形成する際、エッチングの特性上、ビアホール9は上部開口部の横断面積が底部の横断面積よりも大きくなる。このため、ビアホール9の側面は、上方が後方に反るよう若干傾斜している。このように、ビアホール9の側面が傾斜しているため、ビアホール9内に埋め込まれていたレジスト11が残留すると、この残留したレジスト11も上部の横断面積が下部の横断面積よりも大きくなり、側面が外側に張出した形状となる。

【0028】従って、図16(a)に示す工程において、キャップ膜3及び層間絶縁膜4をエッチングすると、レジスト11における外側に張出した部分が層間絶縁膜4及びキャップ膜3に対するマスクとなり、その直下に層間絶縁膜4又は層間絶縁膜4及びキャップ膜3のエッチング残さ13が生じる。このエッチング残さ13はビアホール9の開口部を囲むように形成されるため、クラウンと呼ばれる。そして、このエッチング残さ13はレジスト11及び下層反射防止膜2を除去するためのO<sub>2</sub>アッティング及び有機剥離液処理では取り除けないため、エッチング残さ13はレジスト11及び下層反射防止膜2をこのO<sub>2</sub>アッティング又は有機剥離液処理により除去した後も残り、導電物質12内に埋め込まれる。この結果、製造した配線の信頼性が低下するという問題点がある。

【0029】なお、ビアホール9内のレジスト11を完全に溶かすことだけを目的とすれば、従来よりも現像時間を長くする方法も考えられる。しかしながら、現像時間を長くすると配線トレンチ10の幅が広がってしまうため、微細な配線構造を形成することができなくなるという問題点がある。

【0030】本発明はかかる問題点に鑑みてなされたものであって、ビアホールの横方向の寸法制御が容易であって、レジストの溶け残りによるクラウンの発生を防止できるデュアルダマシン法による配線形成方法を提供することを目的とする。

【0031】

【課題を解決するための手段】本願第1発明に係るデュアルダマシン法による配線形成方法は、下層導体層上に第1の層間絶縁膜を形成する工程と、この第1の層間絶

縁膜上に第2の層間絶縁膜を形成する工程と、この第2の層間絶縁膜上にビアホールパターンの開口を有する第1のレジスト膜を形成する工程と、この第1のレジスト膜をマスクとして前記第1及び第2の層間絶縁膜をエッチングしてビアホールを形成する工程と、前記第2の層間絶縁膜上及び前記ビアホール内の一一部を埋め込むように反射防止膜を形成する工程と、前記反射防止膜上及び前記ビアホール内の残部を埋め込むように露光部溶解速度が250乃至700nm/秒である第2のレジスト膜を形成する工程と、前記第2のレジスト膜をフォトリソグラフィにより露光及び現像して前記第2のレジスト膜に配線パターンの開口を形成する工程と、前記第2のレジスト膜をマスクとして前記反射防止膜及び前記第2の層間絶縁膜をエッチングして配線溝を形成する工程と、前記第2のレジスト膜及び前記反射防止膜を除去する工程と、前記ビアホール及び前記配線溝に導電材料を埋め込んで前記下層導体層に接続されるビア及びこのビアに接続される配線を形成する工程と、を有することを特徴とする。

【0032】本第1発明においては、第2のレジスト膜の露光部溶解速度を250乃至700nm/秒とする。これにより、第2のレジスト膜の露光時に、ビアホール内に埋め込まれた第2のレジスト膜に到達する光量が反射防止膜上に形成された第2のレジスト膜に到達する光量よりも少ない場合においても、第2のレジスト膜の現像に際して、ビアホール内に埋め込まれた第2のレジスト膜も現像液に溶解させることができ、ビアホール内に埋め込まれた第2のレジスト膜の溶け残りを防止できる。これにより、第2の層間絶縁膜のエッチングに際して、エッチング残さの発生を防止することができる。この結果、配線の信頼性を向上させることができる。また、第2のレジスト膜の矩形性を維持することができる。更に、本発明においては、ビアホール内に埋め込まれた反射防止膜の異方性エッチバッック工程を短縮できるため、第2のレジスト膜の開口の横方向の寸法制御が容易である。

【0033】また、前記反射防止膜をエッチングする工程において、前記ビアホール内におけるエッチング後の反射防止膜の上面の位置は、前記第1の層間絶縁膜の上面の位置よりも低いことが好ましい。これにより、第2の層間絶縁膜をエッチングする際に、ビアホール内に残留した反射防止膜をマスクとしてエッチング残さが発生することをより一層防止することができる。

【0034】本願第2発明に係る他のデュアルダマシン法による配線形成方法は、下層導体層上に第1の層間絶縁膜を形成する工程と、この第1の層間絶縁膜上に第2の層間絶縁膜を形成する工程と、この第2の層間絶縁膜上にビアホールパターンの開口を有する第1のレジスト膜を形成する工程と、この第1のレジスト膜をマスクとして前記第1及び第2の層間絶縁膜をエッチングしてビ

アホールを形成する工程と、前記第2の層間絶縁膜上及び前記ビアホールを埋め込むように露光部溶解速度が250乃至700nm/秒である第2のレジスト膜を形成する工程と、前記第2のレジスト膜をフォトリソグラフィにより露光及び現像して前記第2のレジスト膜に配線パターンの開口を形成する工程と、前記第2のレジスト膜をマスクとして前記第2の層間絶縁膜をエッチングして配線溝を形成する工程と、前記第2のレジスト膜を除去する工程と、前記ビアホール及び前記配線溝に導電材料を埋め込んで前記下層導体層に接続されるビア及びこのビアに接続される配線を形成する工程と、を有することを特徴とする。

【0035】本第2発明においては、第2のレジスト膜の露光部溶解速度を250乃至700nm/秒とすることにより、レジスト膜の現像に際して、レジスト膜の矩形性を維持しながら、ビアホール内に埋め込まれた第2のレジスト膜も現像液に溶解させることができる。これにより、ビアホール内に埋め込まれた第2のレジスト膜の溶け残りを防止し、エッチング残さの発生を防止することができる。この結果、配線の信頼性が向上する。また、反射防止膜を形成しないため、ビアホール内に入射した露光光がビアホール内に埋め込まれた第2のレジスト膜の底部において反射する。このため、この第2のレジスト膜を露光する光量が増加し、第2のレジスト膜の溶解速度が増加する。この結果、第2のレジスト膜の溶け残りを確実に防止することができる。

【0036】また、第1発明及び第2発明において、前記第2のレジスト膜の未露光部溶解速度が0.05乃至0.4nm/秒であることが好ましい。これにより、ビアホール内に入射する露光量が少ない場合においても、ビアホール内に埋め込まれた第2のレジスト膜の現像液に対する溶解速度を確保し、エッチング残さの発生をより確実に防止することができると共に、第2のレジスト膜における未露光部の膜減りを防止し、第2のレジスト膜の矩形性をより向上させることができる。

【0037】

【発明の実施の形態】以下、本発明の実施例について添付の図面を参照して具体的に説明する。先ず、本発明の第1の実施例について説明する。図1(a)乃至(c)、図2(a)乃至(c)及び図3(a)乃至(c)は本実施例に係るデュアルダマシン法による配線形成方法をその工程順に示す断面図である。本実施例においては、反射防止膜を使用するパーシャルフィル法による配線形成方法について説明する。なお、前述の従来の配線形成方法における構成要素と同じ構成要素には同一の符号を付す。

【0038】先ず、図1(a)に示すように、下層配線層8上にSiCNからなるエッチングストップ膜7を形成する。エッチングストップ膜7の厚さは例えば70nmとする。下層配線層8は、例えば、半導体装置における

るトランジスタの電極層又は下層配線層等である。次に、プラズマにより  $\text{SiO}_2$  膜を成長させて、厚さが例えば  $600\text{ nm}$  である層間絶縁膜 6 を形成する。その上に  $\text{SiC}$  からなり厚さが例えば  $50\text{ nm}$  のエッチングストッパ膜 5 を形成する。次に、ラダーオキサイドからなる低誘電率膜であり厚さが例えば  $300\text{ nm}$  の層間絶縁膜 4 を形成し、その上にプラズマにより  $\text{SiO}_2$  を例えば  $250\text{ nm}$  の厚さに堆積させてキャップ膜 3 を形成する。キャップ膜 3 を形成する理由は、後述する CMP 工程において、ラダーオキサイドからなる層間絶縁膜 4 を CMP により平坦化することが難しいからである。このため、層間絶縁膜 4 上に  $\text{SiO}_2$  からなるキャップ膜 3 を形成する。

【0039】次に、下層反射防止膜（図示せず）を例えば厚さが  $50\text{ nm}$  になるように塗布し、レジスト（図示せず）を塗布する。次に、このレジストを KrF エキシマレーザにより露光し、その後現像して、このレジストにフォトリソグラフィによりビアホールパターンを形成する。

【0040】次に、図 1 (b) に示すように、このビアホールパターンが形成されたレジスト（図示せず）をマスクとして、下層反射防止膜（図示せず）、キャップ膜 3、層間絶縁膜 4、エッチングストッパ膜 5 及び層間絶縁膜 6 をエッチングし、エッチングストッパ膜 7 まで到達するビアホール 9 を形成する。次に、 $\text{O}_2$  プラズマアシシング又は有機剥離液処理により、レジスト及び下層反射防止膜を剥離する。

【0041】次に、図 1 (c) に示すように、ビアホール 9 内及びキャップ膜 3 上に有機物からなる下層反射防止膜 2 を塗布する。この場合に、下層反射防止膜 2 はビアホール 9 を部分的に埋め込むように形成し、所謂、パーシャルフィルとする。

【0042】次に、図 2 (a) に示すように、下層反射防止膜 2 上及びビアホール 9 内における下層反射防止膜 2 上の空間を埋めるようにポジ型のレジスト 1 を塗布する。このレジスト 1 は、露光部溶解速度（最大溶解速度）が  $250$  乃至  $700\text{ nm}/\text{秒}$  であり、未露光部溶解速度（最小溶解速度）が  $0.05$  乃至  $0.4\text{ nm}/\text{秒}$  であるものを使用する。反射防止膜 2 上におけるレジスト 1 の厚さは例えば  $600\text{ nm}$  とする。レジスト 1 は、例えば、アセタールレジスト又は ESCAP レジストであることができる。なお、アセタールレジストとは、ポリパラヒドロキシスチレンにおける一部の水酸基をアセタール保護基で保護したポリマーに光酸発生剤及び添加剤を添加して作製するレジストである。また、ESCAP レジストとは、パラヒドロキシスチレン及びメタクリル酸エステル等を主成分とする共重合体からなるポリマーに光酸発生剤及び添加剤を添加して作製する化学增幅型レジストである。

【0043】次に、図 2 (b) に示すように、このレジ

スト 1 を、KrF スキャン露光機を使用して波長が  $248\text{ nm}$  の KrF エキシマレーザにより露光する。その後、現像して、レジスト 1 にフォトリソグラフィによりトレンチパターンを形成する。現像液には、例えば、濃度が  $2.38$  質量%の TMAH (tetra-methyl-ammonium-hydroxide : テトラメチルアンモニウムハイドロオキサイド) の水溶液を使用し、現像時間は例えば  $30$  秒間とする。なお、現像液における TMAH の濃度には、 $0.5$  乃至  $3$  質量%の範囲で幅があつてもよい。この現像処理により、ビアホール 9 内におけるレジスト 1 は現像液に溶解して除去される。

【0044】次に、図 2 (c) に示すように、このトレンチパターンが形成されたレジスト 1 をマスクとして、キャップ膜 3 上の下層反射防止膜 2 を除去する。このとき、ビアホール 9 内における下層反射防止膜 2 の上面の位置が、層間絶縁膜 6 の上面の位置よりも低くなるようになる。

【0045】次に、図 3 (a) に示すように、レジスト 1 をマスクとしてキャップ膜 3、層間絶縁膜 4 をエッチングし、配線トレンチ（溝） 10 を形成する。このエッチングはエッチングストッパ膜 5 にて停止させる。

【0046】次に、図 3 (b) に示すように、 $\text{O}_2$  プラズマアシシング又は有機剥離液処理により、レジスト 1 及び下層反射防止膜 2 を除去する。その後、エッチングを行い、ビアホール 9 内のエッチングストッパ膜 7 を除去する。

【0047】次に、図 3 (c) に示すように、ビアホール 9 内及び配線トレンチ 10 内に導電材料 12 を埋め込む。導電材料 12 は例えば Cu である。これにより、ビア 14 及び配線 15 を形成する。その後、キャップ膜 3 の表面に対して CMP を行い、キャップ膜 3 上にはみ出した導電材料 12 の全て及びキャップ膜 3 の大部分を CMP により除去し、表面を平坦化する。これにより、配線構造が完成する。以下、本発明の各構成要素における数值限定理由について説明する。

【0048】配線トレンチを形成するためのレジストの露光部溶解速度 :  $250$  乃至  $700\text{ nm}/\text{秒}$  レジストの露光部溶解速度（最大溶解速度）が  $250\text{ nm}/\text{秒}$  未満であると、ビアホール内に形成されたレジストの溶解速度が低く、現像に際してこのレジストが溶け残ってしまう。このため、層間絶縁膜をエッチングして配線トレンチを形成する工程において、この溶け残ったレジストをマスクとしてエッチング残さが発生する。一方、レジストの露光部溶解速度が  $700\text{ nm}/\text{秒}$  より大きいと、露光光のコントラストが低下する部分において、レジストの肩部分が丸くなりレジストの矩形性が低下する。露光光のコントラストの低下は、例えば配線トレンチが密集する部分において隣り合う配線との間で光強度が重なることによって発生する。レジストの形状の矩形性が低下すると、このレジストをマスクとして層間

絶縁膜をエッティングして配線トレンチを形成する際に、配線トレンチの形状が劣化する。従って、配線トレンチを形成するためのレジストの露光部溶解速度は250乃至700nm/秒とする。

【0049】配線トレンチを形成するためのレジストの未露光部溶解速度：0.05乃至0.4nm/秒

レジストの未露光部溶解速度（最小溶解速度）を0.05nm/秒以上とすると、ビアホール内に埋め込まれたレジストの溶解速度をより確実に増加させることができる。一方、レジストの未露光溶解速度が0.4nm/秒以下であると、レジストの未露光部の膜減りが大きくなりすぎることを防止することができる。従って、配線トレンチを形成するためのレジストの未露光部溶解速度は、0.05乃至0.4nm/秒であることが好ましい。

【0050】上述の数値限定理由について、より詳細に説明する。図4は横軸にレジストに対する露光量をとり、縦軸に露光後のレジストの現像液に対する溶解速度、即ち現像速度をとて、レジストにおける露光量と現像速度との関係を示すグラフ図である。図4において、線21は本実施例におけるレジストの溶解速度を示し、線22は従来のレジストの溶解速度を示す。また、 $R_{max}$ はレジストの最大溶解速度を示し、 $R_{min}$ はレジストの最小溶解速度を示す。また、 $E_{opt}$ は最適露光量を示す。例えば、本実施例の配線形成方法において、レジスト1として線21に示すような特性を有するレジストを使用する場合、反射防止膜2上に形成されているレジスト1（図2（a）参照）の露光量が最適露光量 $E_{opt}$ である20mJ/cm<sup>2</sup>であり、ビアホール9内に形成されているレジスト1の露光量が10mJ/cm<sup>2</sup>であると仮定すると、ビアホール9内に形成されているレジスト1の現像速度は約100nm/秒となる。現像時間を30秒間とすると、この現像処理によりビアホール9内のレジスト1は深さ約3μmまで溶解することになる。ビアホール9内のレジスト1の厚さは、通常数百nm程度であるため、本実施例においてはビアホール9内のレジスト1を完全に溶解させることができる。

【0051】これに対して、レジスト1として線22に示すような従来のレジストを使用すると、ビアホール9内に形成されているレジスト1の溶解速度は約1nm/秒となる。現像時間が30秒間である場合、レジスト1の溶解量は約30nmとなる。このため、ビアホール9内のレジスト1には溶け残りが発生する。

【0052】このように、レジスト1においては、最大溶解速度及び最小溶解速度の双方が高いほど、ビアホールからのレジストの抜け性向上には効果がある。しかしながら、現像後のレジスト1の形状を維持できるように、露光前後の溶解速度を制御する必要がある。

【0053】図5は、横軸に現像時間をとり、縦軸に残

存するレジスト膜厚をとて、現像処理中におけるDRM（現像速度モニタ）の測定結果を示すグラフ図である。線23は現像時間と残存するレジスト膜厚との関係を示す。図5に示すように、線23は必ずしも直線ではないが、本発明においては、線23における現像開始点における接線24の傾きを、レジストの現像速度と定義する。

【0054】次に、本実施例の配線形成方法により形成された配線の構成を説明する。図3（c）に示すように、半導体装置のトランジスタの電極層又は下層配線層等である下層配線層8上にSiCNからなるエッティングストップ膜7が設けられており、エッティングストップ膜7上にはSiO<sub>2</sub>からなる層間絶縁膜6が設けられている。また、層間絶縁膜6上にはSiCからなるエッティングストップ膜5が設けられている。エッティングストップ膜7、層間絶縁膜6及びエッティングストップ膜5には、これらを垂直に貫通したビアホール9（図3（b）参照）が形成されており、ビアホール9内にはCuからなるビア14が形成されている。ビア14は下層配線層8に接続されている。また、エッティングストップ膜5上にはラダーオキサイドからなる層間絶縁膜4が設けられ、層間絶縁膜4には配線トレンチ10（図3（b）参照）が形成されており、配線トレンチ10内にはCuからなる配線15が形成されている。配線15はビア14に接続されている。

【0055】本実施例に係るデュアルダマシン法による配線形成方法によれば、レジスト1として露光部溶解速度（最大溶解速度）が250nm/秒以上であり、未露光部溶解速度（最小溶解速度）が0.05nm/秒以上であるレジストを使用することにより、図2（b）に示すレジスト1の露光時に、ビアホール9内に埋め込まれたレジスト1に到達する光量が少ない場合においても、現像時にビアホール9内に埋め込まれたレジスト1を現像液に溶解させることができる。これにより、ビアホール9内に埋め込まれたレジスト1が溶け残ることを防止できる。この結果、図3（a）に示すキャップ膜3及び層間絶縁膜4のエッティングに際して、従来の配線形成法において発生するようなエッティング残さ（図16（a）参照）の発生を防止することができる。このため、このようなエッティング残さが配線15内に残留することなく、配線の信頼性を向上させることができる。

【0056】一方、本実施例においては、レジスト1の露光部溶解速度（最大溶解速度）を700nm/秒以下とすることにより、レジスト1の矩形性を維持することができる。更に、未露光部溶解速度（最小溶解速度）を0.4nm/秒以下とすることにより、露光されていない部分のレジストの膜減りを防止することができる。これらにより、精度良く微細な配線を形成することができる。また、本実施例においては、ビアホール内に埋め込まれた反射防止膜に対する異方性エッチバック工程を短

縮できるため、ビアホールの横方向の寸法制御が容易である。

【0057】更にまた、本実施例においては、レジストの下方に反射防止膜を設けている。これにより、露光光の干渉によりレジストの膜厚が変動することを抑制することができる。また、ビアホールの下部を反射防止膜により埋め込むことにより、配線トレーニングのエッチング工程において、ビアホールの底部を保護することができる。

【0058】次に、本発明の第2の実施例について説明する。図6(a)乃至(c)、図7(a)乃至(c)及び図8は本第2実施例に係るデュアルダマシン法による配線形成方法をその工程順に示す断面図である。本第2実施例においては、反射防止膜を使用しない。なお、前述の第1の実施例に係る配線形成方法と同じ構成要素には同一の符号を付し、その詳細な説明を省略する。

【0059】先ず、図6(a)に示すように、例えば、半導体装置におけるトランジスタの電極層又は下層配線層等の下層配線層8上に、SiCNからなるエッチングストップ膜7を厚さが例えば70nmになるように形成する。次に、プラズマによりSiO<sub>2</sub>膜を成長させて、厚さが例えば600nmである層間絶縁膜6を形成する。その上にSiCからなり、厚さが例えば50nmのエッチングストップ膜5を形成する。次に、ラダーオキサイドからなる低誘電率膜であり厚さが例えば300nmの層間絶縁膜4を形成し、その上にプラズマによりSiO<sub>2</sub>を例えば250nmの厚さに堆積させてキャップ膜3を形成する。

【0060】次に、レジスト(図示せず)を塗布し、このレジストをKrFエキシマレーザにより露光し、その後現像して、このレジストにフォトリソグラフィによりビアホールパターンを形成する。

【0061】次に、図6(b)に示すように、このビアホールパターンが形成されたレジスト(図示せず)をマスクとして、キャップ膜3、層間絶縁膜4、エッチングストップ膜5及び層間絶縁膜6をエッチングし、エッチングストップ膜7まで到達するビアホール9を形成する。次に、O<sub>2</sub>プラズマアッキング又は有機剥離液によりレジストを除去する。

【0062】次に、図6(c)に示すように、キャップ膜3上及びビアホール9内を埋めるようにポジ型のレジスト1を塗布する。このレジスト1は、露光部溶解速度(最大溶解速度)が250乃至700nm/秒であり、未露光部溶解速度(最小溶解速度)が0.05乃至0.4nm/秒であるものを使用する。レジスト1は、例えば、アセタールレジスト又はESCAPレジストであることができる。また、キャップ膜3上におけるレジスト1の厚さは例えば600nmとする。

【0063】次に、図7(a)に示すように、このレジスト1を、KrFスキャン露光機を使用してKrFエキ

シマレーザにより露光する。その後、現像して、レジスト1にフォトリソグラフィによりトレーニングパターンを形成する。現像液には、例えば、濃度が2.38質量%のTMAH(tetra-methyl-ammonium-hydroxide: テトラメチルアンモニウムハイドロオキサイド)の水溶液を使用し、現像時間は例えば30秒間とする。これにより、ビアホール9内におけるレジスト1は現像液に溶解して除去される。

【0064】次に、図7(b)に示すように、レジスト1をマスクとしてキャップ膜3、層間絶縁膜4をエッチングし、配線トレーニング10を形成する。このエッチングはエッチングストップ膜5にて停止させる。

【0065】次に、図7(c)に示すように、O<sub>2</sub>プラズマアッキング又は有機剥離液処理により、レジスト1を除去する。その後、エッチングを行い、ビアホール9内のエッチングストップ膜7を除去する。

【0066】次に、図8に示すように、ビアホール9内及び配線トレーニング10内に導電材料12を埋め込む。導電材料12は例えばCuである。これにより、ビア14及び配線15を形成する。その後、CMPにより、キャップ膜3上にはみ出した導電材料12の全て及びキャップ膜3の大部分を除去し、表面を平坦化する。これにより、配線構造が完成する。本第2実施例に係る配線形成方法により形成された配線の構造は、前述の第1の実施例に係る配線形成方法により形成された配線の構造と同一である。

【0067】本実施例に係るデュアルダマシン法による配線形成方法によれば、前述の第1の実施例に係る配線形成方法により得られる効果に加えて、反射防止膜を形成しないため、ビアホール9内に入射した露光光がビアホール9内に埋め込まれたレジスト1の底部において反射する。このため、このビアホール9内のレジスト1を露光する光量が増加し、レジスト1の溶解速度を向上させることができる。この結果、レジスト1が溶け残ることをより確実に防止することができるという効果がある。

【0068】なお、一般にレジストはポリマ、酸発生剤及び各種の添加剤から構成され、これらの種類及び配合比率を変えることによって露光特性を変化させることができる。上述の第1及び第2の実施例においては、露光光にはKrFエキシマレーザを使用し、レジスト1にはアセタールレジスト又はESCAPレジストを使用する例を示したが、本発明においてはレジスト1のポリマの種類は特に限定されず、所定の溶解速度が得られるレジストであればよい。また、本発明においては、KrFエキシマレーザの代わりに、波長が193nmであるArFエキシマレーザを使用してもよい。この場合、レジストはArFエキシマレーザに感光するレジストであって、所定の溶解速度が得られるレジストであれば特に種類は限定されず、例えばポリメタクリル酸エステルに光

酸発生剤及び添加剤を加えて作製されるメタクリル系レジストであってもよい。

【0069】更に、層間絶縁膜4はSiLK、SiOF等の低誘電率膜であってもよく、シリコン酸化物であってもよい。更にまた、エッチングストップ膜5はSiCに限定されず、SiN、SiON又はSiCN等であってもよく、エッチングストップ膜7はSiCNに限定されず、SiC、SiN又はSiON等であってもよい。

#### 【0070】

【実施例】以下、本発明の実施例の効果について、その特許請求の範囲から外れる比較例と比較して具体的に説明する。

#### 【0071】試験例1

前述の第1の実施例に記載した方法により、配線を形成した。このとき、レジストには、最大溶解速度が250乃至700nm/秒、最小溶解速度が0.05乃至0.4nm/秒である本発明実施例のレジストと、最大溶解速度が50乃至200nm/秒、最小溶解速度が0.05乃至0.05nm/秒である従来のレジストとの2種類のレジストを使用した。図9(a)、(b)及び(c)は、この配線の形成工程において配線トレンチ及びビアホールの断面をSEM(Scanning electron microscope:走査型電子顕微鏡)により観察した結果をトレースした模式図である。図9(a)は、レジストを露光する前、即ち前述の第1の実施例において図2(a)に示す工程に相当する工程における断面を示し、図9(b)及び(c)は、レジストを現像した後、即ち前述の第1の実施例における図3(a)に示す工程に相当する工程における断面を示し、図9(b)は本実施例のレジストを使用した例を示し、図9(c)は従来のレジストを使用した例を示す。

【0072】図9(a)に示すように、レジストを露光する前においては、下層配線層31上に層間絶縁膜32(図2(a)におけるエッチングストップ膜7、層間絶縁膜6、エッチングストップ膜5、層間絶縁膜4、キャップ膜3及び反射防止膜2に相当)が設けられ、層間絶縁膜32にはビアホール33及び配線トレンチ34が形成されている。ビアホール33の内部には反射防止膜35が形成され、ビアホール33及び配線トレンチ34の内部には本発明のレジスト36が形成されている。

【0073】図9(b)に示すように、図9(a)に示す配線においてレジスト36の露光及び現像を行うと、層間絶縁膜32上には矩形のレジスト36が形成されるが、ビアホール33内にはレジスト36は残留しなかつた。

【0074】これに対して、レジストとして従来のレジスト37を使用すると、図9(c)に示すように、レジスト37の露光及び現像を行った後においても、ビアホール33内にレジスト37が残留した。

#### 【0075】試験例2

前述の第1の実施例に記載した方法により、配線を形成した。ビアホールの幅及び配線トレンチの幅は共に0.2μmとし、ビアホール及び配線トレンチの合計の高さは1.2μmとした。このとき、レジストには、最大溶解速度及び最小溶解速度が異なる9種類のレジストA乃至Jを使用し、各レジストにおける露光・現像時における抜け性及び現像後のレジストの矩形性を評価した。露光はKrFエキシマレーザにより行った。なお、レジストH、I及びJはラインパターンの形成に際して特性がよいレジストである。抜け性の評価は、レジストがビアホールから抜ける露光時のフォーカス範囲によって行った。即ち、レジストの抜け性が良好であるほど、フォーカス範囲を広くすることができる。また、現像後におけるレジストの矩形性の評価は、現像後のレジストの形状をSEMにより観察することにより行った。矩形性が特に良好であった場合を「○」、良好であった場合を「○」、レジストの肩が丸くなり矩形性が不良であった場合を「×」とした。レジストA乃至Jの最大溶解速度及び最小溶解速度、並びに、レジストA乃至Jの抜け性及び矩形性の評価結果を表1に示す。

#### 【0076】

【表1】

No.	レジスト	レジスト			抜け性	矩形性
		種類	最大溶解速度 (nm/秒)	最小溶解速度 (nm/秒)		
比較例	1	レジストA	800	0.10	0.7	×
実施例	2	レジストB	600	0.01	0.3	○
実施例	3	レジストC	450	0.22	0.6	○
実施例	4	レジストD	400	0.31	0.5	○
実施例	5	レジストE	320	0.35	0.3	○
実施例	6	レジストF	260	0.01	0.3	○
比較例	7	レジストH	100	0.01	抜けない	○
比較例	8	レジストI	90	0.01	抜けない	○
比較例	9	レジストJ	60	0.02	抜けない	○

【0077】表1に示すN o. 2乃至6は本発明の実施例である。実施例N o. 2乃至6は、レジストの最大溶

解速度が250乃至700nm/秒であるため、抜け性が良好であり矩形性も優れていた。特に、実施例N o.

3乃至6は、最小溶解速度が0.05乃至0.4nm/秒であるため、レジストの抜け性及び矩形性のバランスが特に良好であった。

【0078】これに対して、表1に示すNo.1及び7乃至9は比較例である。比較例No.1は、レジストの最大溶解速度が800nm/秒と大きいため、現像後のレジストの肩が丸くなり、矩形性が不良であった。比較例No.7乃至9は、レジストの最大溶解速度が250nm/秒未満と小さいため、露光のフォーカス範囲を調節してもレジストがビアホールから抜けずに残留した。即ち、抜け性が不良であった。

【0079】図10(a)、(b)及び(c)は、夫々実施例No.3、4及び比較例7におけるレジスト現像後の配線トレーンチ及びビアホールの断面をSEMにより観察した結果をトレースした模式図である。図10

(a)及び(b)に示すように、実施例No.3及び4においては、ビアホール33内にレジストは残留していなかった。しかしながら、図10(c)に示すように、比較例No.7においては、ビアホール33内にレジスト42が残留していた。

#### 【0080】

【発明の効果】以上詳述したように、本発明によれば、ビアホールの横方向の寸法制御が容易なパーシャルフィル法によるデュアルダマシン配線形成方法において、レジストの露光及び現像後に、レジストが溶け残ることを防止することができる。これにより、配線トレーンチの形成時においてクラウンの発生を防止することができる。

#### 【図面の簡単な説明】

【図1】(a)乃至(c)は、本発明の第1の実施例に係るデュアルダマシン法による配線形成方法をその工程順に示す断面図である。

【図2】(a)乃至(c)は、本実施例に係るデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図1の次の工程を示す図である。

【図3】(a)乃至(c)は、本実施例に係るデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図2の次の工程を示す図である。

【図4】横軸にレジストに対する露光量をとり、縦軸に現像速度をとて、レジストにおける露光量と現像速度との関係を示すグラフ図である。

【図5】横軸に現像時間をとり、縦軸に残存するレジスト膜厚をとて、現像処理中における現像速度モニタの測定結果を示すグラフ図である。

【図6】(a)乃至(c)は、本発明の第2の実施例に係るデュアルダマシン法による配線形成方法をその工程順に示す断面図である。

【図7】(a)乃至(c)は、本実施例に係るデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図6の次の工程を示す図である。

【図8】本実施例に係るデュアルダマシン法による配線

形成方法をその工程順に示す断面図であって、図7の次の工程を示す図である。

【図9】(a)乃至(c)は、配線の形成工程において配線トレーンチ及びビアホールの断面をSEMにより観察した結果をトレースした模式図である。

【図10】(a)乃至(c)は、夫々実施例No.3、4及び比較例7におけるレジスト現像後の配線トレーンチ及びビアホールの断面をSEMにより観察した結果をトレースした模式図である。

【図11】(a)乃至(c)は、従来のデュアルダマシン法による配線形成方法をその工程順に示す断面図である。

【図12】(a)乃至(c)は、この従来のデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図11の次の工程を示す図である。

【図13】(a)乃至(c)は、この従来のデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図12の次の工程を示す図である。

【図14】(a)乃至(c)は、他の従来のデュアルダマシン法による配線形成方法をその工程順に示す断面図である。

【図15】(a)乃至(c)は、この従来のデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図14の次の工程を示す図である。

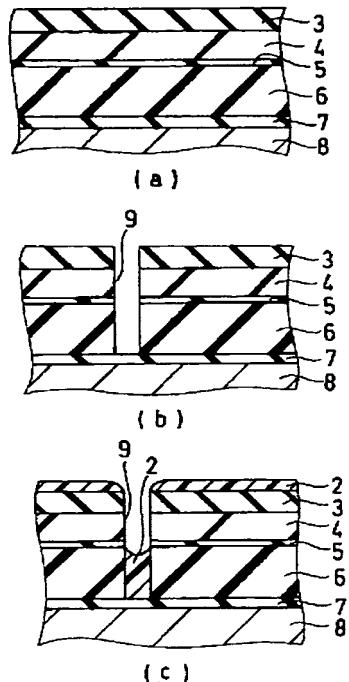
【図16】(a)乃至(c)は、この従来のデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図15の次の工程を示す図である。

#### 【符号の説明】

- 1、11；レジスト
- 2；下層反射防止膜(BARC)
- 3；キャップ膜
- 4、6；層間絶縁膜
- 5、7；エッチングストップ膜
- 8；下層配線層
- 9；ビアホール
- 10；配線トレーンチ
- 12；導電材料
- 13；エッチング残さ
- 14；ビア
- 15；配線
- 21、22、23；線
- 24；接線
- 31；下層配線層
- 32；層間絶縁膜
- 33；ビアホール
- 34；配線トレーンチ
- 35；反射防止膜
- 36、37；レジスト
- 42；レジスト
- R<sub>max</sub>；最大溶解速度

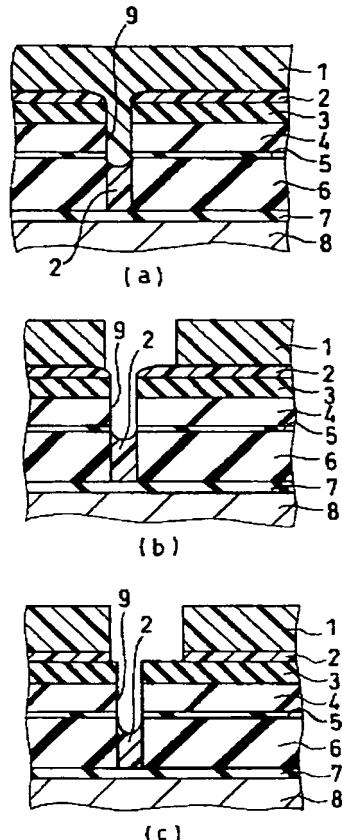
$R_{min}$  ; 最小溶解速度 $E_{opt}$  ; 最適露光量

【図1】



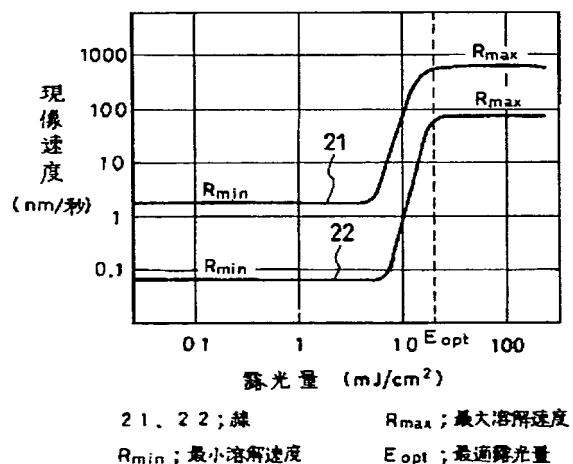
2 ; 下層反射防止膜      3 ; キヤップ膜      4,6 ; 層間絶縁膜  
 5,7 ; エッティングストップ膜      8 ; 下層配線層      9 ; ビアホール

【図2】



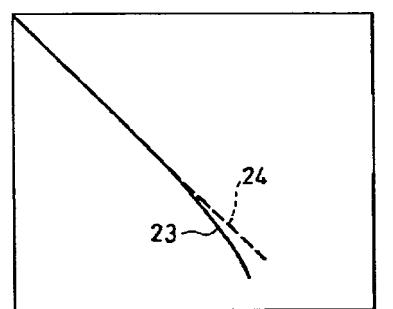
1 ; レジスト

【図4】



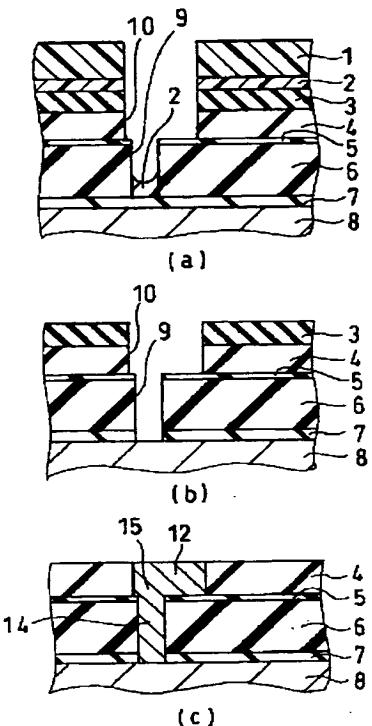
残存レジスト膜厚

【図5】



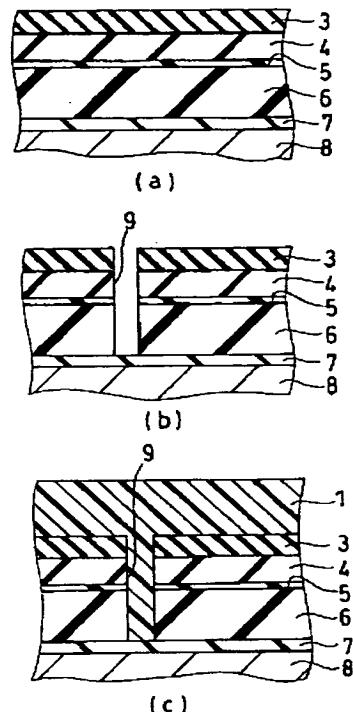
現像時間

【図3】



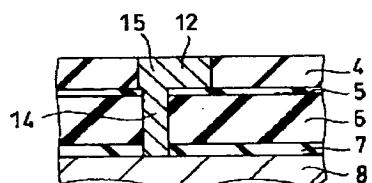
1 ; レジスト 2 ; 下層反射防止膜 3 ; キャップ膜  
 4, 6 ; 層間絶縁膜 5, 7 ; エッティングストップ膜  
 8 ; 下層配線層 9 ; ビアホール 10 ; 配線トレチ  
 12 ; 動電材料 14 ; ビア 15 ; 配線

【図6】



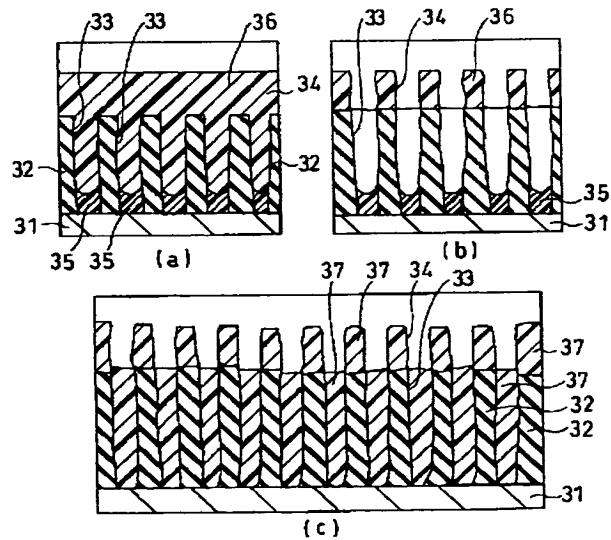
1 ; レジスト 3 ; キャップ膜 4, 6 ; 層間絶縁膜  
 5, 7 ; エッティングストップ膜 8 ; 下層配線層 9 ; ビアホール

【図8】

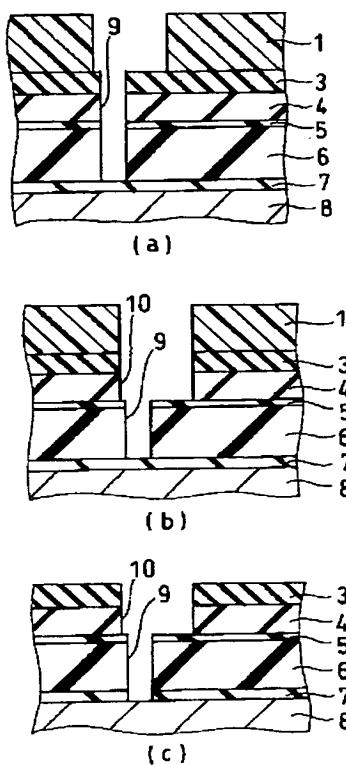


4, 6 ; 層間絶縁膜 5, 7 ; エッティングストップ膜  
 8 ; 下層配線層 12 ; 動電材料 14 ; ビア 15 ; 配線

【図9】

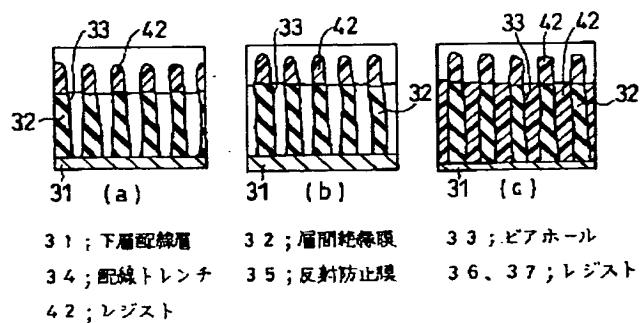


【図7】

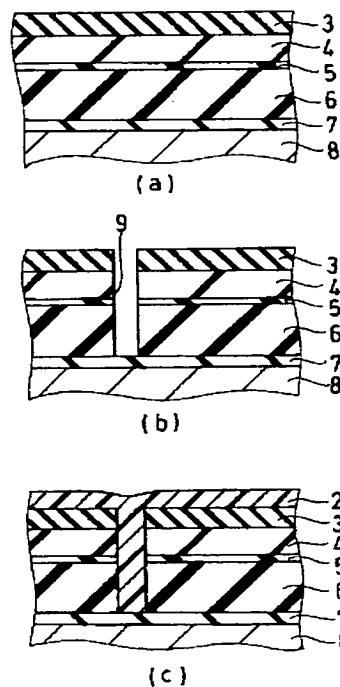


1 ; レジスト      3 ; キャップ膜      4、6 ; 層間絶縁膜  
 5、7 ; エッチングストップ膜      8 ; 下層配線層  
 9 ; ピアホール      10 ; 配線トレンチ

【図10】

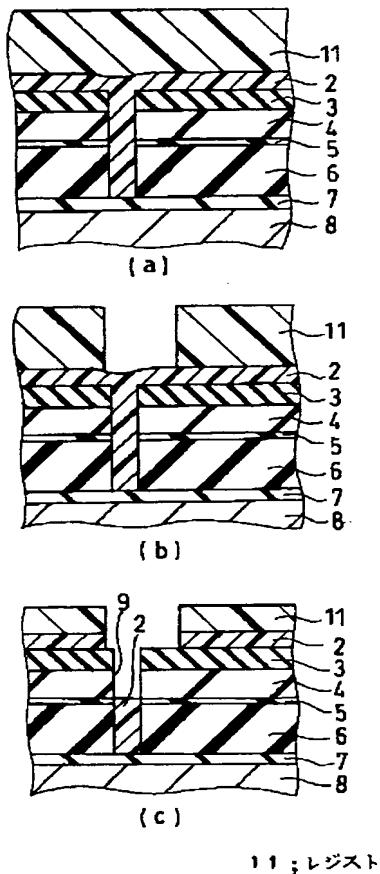


【図11】

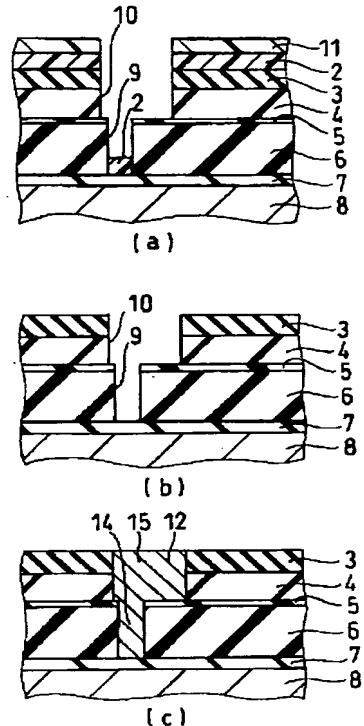


2 ; 下層反射防止膜      3 ; キャップ膜      4、6 ; 層間絶縁膜  
 5、7 ; エッチングストップ膜      8 ; 下層配線層      9 ; ピアホール

【図12】

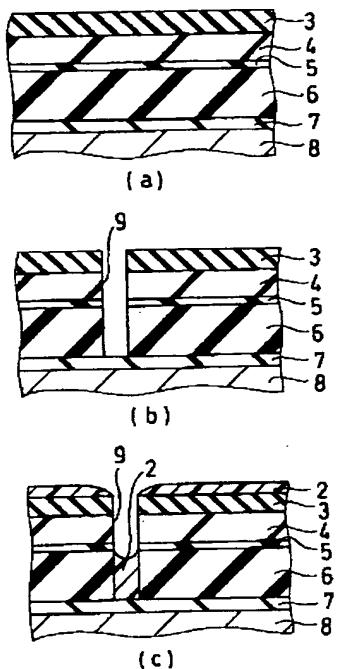


【図13】



2; 下層反射防止膜 3; キャンプ膜 4, 6; 層間絶縁膜  
 5, 7; エッティングストップ膜 8; 下層配線層 11; レジスト  
 12; 导電材料 14; ピア 15; 配線

【図14】

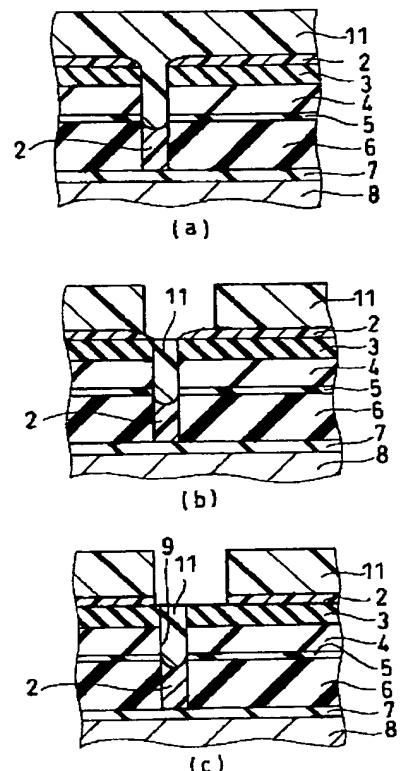


2 ; 下層反射防止膜  
5、7 ; エッチングストップ膜  
9 ; ビアホール

3 ; キャップ膜  
8 ; 下層配線層

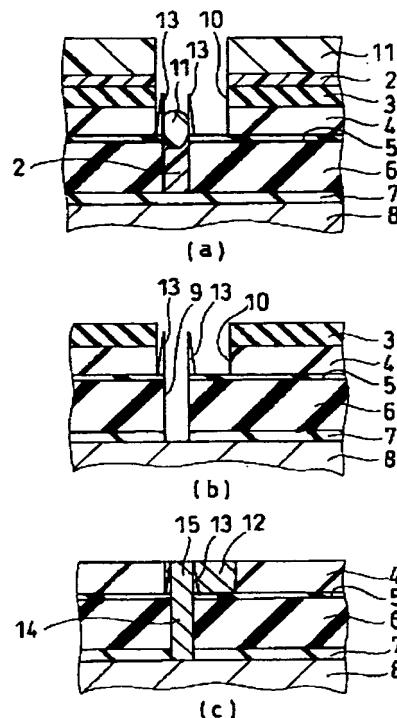
4、6 ; 層間絶縁膜

【図15】



11 : レジスト

【図16】



2 ; 下層反射防止膜      3 ; キヤップ膜      4, 6 ; 層間絶縁膜  
 5, 7 ; エッティングストップ膜      8 ; 下層配線層      9 ; ビアホール  
 10 ; 配線トレンチ      11 ; レジスト      12 ; 運電材料  
 13 ; エッティングマスク      14 ; ビア      15 ; 配線

フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード (参考)

H 0 1 L 21/30

5 0 2 R

F ターム(参考) 2H025 AB16 AC01 AD01 AD03 FA03  
FA14 FA39  
2H096 AA25 HA11 HA30 JA04 LA16  
LA17  
4M104 BB04 CC01 DD15 DD16 DD17  
DD18 DD20 DD62 DD72 DD75  
EE08 EE12 EE14 EE17 EE18  
HH12 HH20  
5F033 HH11 HH12 JJ01 JJ11 JJ12  
KK01 KK03 KK07 MM02 QQ01  
QQ02 QQ09 QQ10 QQ25 QQ31  
QQ35 QQ37 QQ48 RR01 RR04  
RR06 RR07 RR11 RR21 SS15  
TT04 WW00 XX01 XX24 XX33  
XX34

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成15年3月28日(2003.3.28)

【公開番号】特開2002-373936 (P2002-373936A)

【公開日】平成14年12月26日(2002.12.26)

【年通号数】公開特許公報14-3740

【出願番号】特願2001-179995 (P2001-179995)

【国際特許分類第7版】

H01L 21/768

G03F 7/11 503

7/40 521

H01L 21/027

21/28

【F I】

H01L 21/90 A

G03F 7/11 503

7/40 521

H01L 21/28 L

21/90 C

21/30 502 R

【手続補正書】

【提出日】平成14年12月5日(2002.12.5)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】デュアルダマシン法による配線形成方法

【特許請求の範囲】

【請求項1】下層導体層上に第1の層間絶縁膜を形成する工程と、この第1の層間絶縁膜上に第2の層間絶縁膜を形成する工程と、この第2の層間絶縁膜上にビアホールパターンの開口を有する第1のレジスト膜を形成する工程と、この第1のレジスト膜をマスクとして前記第1及び第2の層間絶縁膜をエッチングしてビアホールを形成する工程と、前記第2の層間絶縁膜上及び前記ビアホール内の一部を埋め込み、このビアホール内におけるその上面の位置が前記第1の層間絶縁膜の上面の位置よりも低くなるように反射防止膜を形成する工程と、前記反射防止膜上及び前記ビアホール内の残部を埋め込むように第2のレジスト膜を形成する工程と、前記第2のレジスト膜をフォトリソグラフィにより露光及び現像して前記第2のレジスト膜に配線パターンの開口を形成する工程と、前記第2のレジスト膜をマスクとして前記反射防止膜及び前記第2の層間絶縁膜をエッチングして配線溝を形成する工程と、前記第2のレジスト膜及び前記反射防止膜を除去する工程と、前記ビアホール及び前記配線溝に導電材料を埋め込んで前記下層導体層に接続されるビア及びこのビアに接続される配線を形成する工程と、を有することを特徴とするデュアルダマシン法による配線形成方法。

溝を形成する工程と、前記第2のレジスト膜及び前記反射防止膜を除去する工程と、前記ビアホール及び前記配線溝に導電材料を埋め込んで前記下層導体層に接続されるビア及びこのビアに接続される配線を形成する工程と、を有することを特徴とするデュアルダマシン法による配線形成方法。

【請求項2】下層導体層上に第1の層間絶縁膜を形成する工程と、この第1の層間絶縁膜上に第2の層間絶縁膜を形成する工程と、この第2の層間絶縁膜上にビアホールパターンの開口を有する第1のレジスト膜を形成する工程と、この第1のレジスト膜をマスクとして前記第1及び第2の層間絶縁膜をエッチングしてビアホールを形成する工程と、前記第2の層間絶縁膜上及び前記ビアホール内の一部を埋め込むように反射防止膜を形成する工程と、前記反射防止膜上及び前記ビアホール内の残部を埋め込むように露光部溶解速度が250乃至700nm/秒である第2のレジスト膜を形成する工程と、前記第2のレジスト膜をフォトリソグラフィにより露光及び現像して前記第2のレジスト膜に配線パターンの開口を形成する工程と、前記第2のレジスト膜をマスクとして前記反射防止膜及び前記第2の層間絶縁膜をエッチングして配線溝を形成する工程と、前記第2のレジスト膜及び前記反射防止膜を除去する工程と、前記ビアホール及び前記配線溝に導電材料を埋め込んで前記下層導体層に接続されるビア及びこのビアに接続される配線を形成する工程と、を有することを特徴とするデュアルダマシン法による配線形成方法。

【請求項3】 前記反射防止膜をエッチングする工程において、前記ビアホール内におけるエッチング後の反射防止膜の上面の位置は、前記第1の層間絶縁膜の上面の位置よりも低いことを特徴とする請求項2に記載のデュアルダマシン法による配線形成方法。

【請求項4】 下層導体層上に第1の層間絶縁膜を形成する工程と、この第1の層間絶縁膜上に第2の層間絶縁膜を形成する工程と、この第2の層間絶縁膜上にビアホールパターンの開口を有する第1のレジスト膜を形成する工程と、この第1のレジスト膜をマスクとして前記第1及び第2の層間絶縁膜をエッチングしてビアホールを形成する工程と、前記第2の層間絶縁膜上及び前記ビアホールを埋め込むように露光部溶解速度が250乃至700nm/秒である第2のレジスト膜を形成する工程と、前記第2のレジスト膜をフォトリソグラフィにより露光及び現像して前記第2のレジスト膜に配線パターンの開口を形成する工程と、前記第2のレジスト膜をマスクとして前記第2の層間絶縁膜をエッチングして配線溝を形成する工程と、前記第2のレジスト膜を除去する工程と、前記ビアホール及び前記配線溝に導電材料を埋め込んで前記下層導体層に接続されるビア及びこのビアに接続される配線を形成する工程と、を有することを特徴とするデュアルダマシン法による配線形成方法。

【請求項5】 前記第2のレジスト膜の未露光部溶解速度が0.05乃至0.4nm/秒であることを特徴とする請求項1乃至4のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項6】 前記第2のレジスト膜がメタクリル系レジストからなり、前記露光がArFエキシマレーザにより行われることを特徴とする請求項1乃至5のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項7】 前記第2のレジスト膜がアセタールレジスト又はESCAPレジストからなり、前記露光がKrFエキシマレーザにより行われることを特徴とする請求項1乃至5のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項8】 前記ビアホール及び前記配線溝に導電材料を埋め込んでビア及び配線を形成する工程の後に、CMPにより前記第2の層間絶縁膜上の前記導電材料を除去する工程を有することを特徴とする請求項1乃至7のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項9】 前記下層導体層と前記第1の層間絶縁膜との間に第1のエッチングストッパ膜を形成する工程を有し、前記第1及び第2の層間絶縁膜をエッチングしてビアホールを形成する工程においてエッチングは前記第1のエッチングストッパ膜にて停止させることを特徴とする請求項1乃至8のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項10】 前記第1の層間絶縁膜と前記第2の層

間絶縁膜との間に第2のエッチングストッパ膜を形成する工程を有し、前記第2の層間絶縁膜をエッチングして配線溝を形成する工程においてエッチングは前記第2のエッチングストッパ膜にて停止させることを特徴とする請求項1乃至9のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項11】 前記第1の層間絶縁膜がSiO<sub>2</sub>により形成されていることを特徴とする請求項1乃至10のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項12】 前記第2の層間絶縁膜がシリコン酸化膜、ラデーオキサイド、SiLK及びSiOFからなる群から選択された少なくとも1種の材料により形成されていることを特徴とする請求項1乃至11のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項13】 前記導電材料が銅又は銅合金であることを特徴とする請求項1乃至12のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項14】 前記下層導体層は下層配線層であることを特徴とする請求項1乃至13のいずれか1項に記載のデュアルダマシン法による配線形成方法。

【請求項15】 前記下層導体層は基板表面に形成されたトランジスタの電極層であることを特徴とする請求項1乃至13のいずれか1項に記載のデュアルダマシン法による配線形成方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、半導体装置の多層配線構造等の形成に使用されるビアファーストデュアルダマシン法による配線形成方法に関し、特に、レジストの溶解速度の最適化を図ったビアファーストデュアルダマシン法による配線形成方法に関する。

##### 【0002】

【従来の技術】 半導体集積回路装置の多層配線を形成する方法として埋め込み配線(Damascene)技術が有効である。その中でも、上層の配線が形成される配線溝と、前記上層配線と下層配線又は基板とを接続するビアホール又はコンタクトホール(以下、両者を含めてビアホールという)とを絶縁膜に形成した後、前記配線溝とビアホールとに同時に金属膜を埋め込んで配線とビアとを同時に形成するデュアルダマシン(Dual Damascene)法は、製造工程の簡略化及びTAT(Turn-and-Around-Time)の短縮化を可能とし、半導体集積回路装置の製造コストを著しく低減することができるという利点がある。特に、デュアルダマシン法のうち、配線溝よりも先にビアホールを形成するビアファーストデュアルダマシン法は、ビアホールを形成するためのエッチング工程において、レジストの段差を減少させることができ、この結果、より微細な加工が可能になるという利点がある。また、レジストにはポジ型レジスト及びネガ型レジストが

あるが、解像性が良好で種類が豊富なポジ型レジストが一般的に使用されている。

【0003】図14 (a) 乃至 (c)、図15 (a) 乃至 (c) 及び図16 (a) 乃至 (c) は、従来のビアファーストデュアルダマシン法による配線形成方法の一例を、その工程順に示す断面図である。先ず、図14

(a) に示すように、下層配線層8上にSiCNからなるエッチングストッパ膜7を形成する。次に、SiO<sub>2</sub>からなる層間絶縁膜6を形成し、その上にSiCからなるエッチングストッパ膜5を形成する。次に、ラダーオキサイドからなる層間絶縁膜4を形成し、その上にプラズマによりSiO<sub>2</sub>を堆積させてキャップ膜3を形成する。

【0004】次に、下層反射防止膜(BARC:Bottom Anti-Reflective Coating、図示せず)を塗布し、レジスト(図示せず)を塗布する。次に、このレジストをKrFエキシマレーザにより露光し、その後現像して、このレジストにフォトリソグラフィによりビアホールパターンを形成する。

【0005】次に、図14 (b) に示すように、このビアホールパターンが形成されたレジスト(図示せず)をマスクとして、下層反射防止膜(図示せず)、キャップ膜3、層間絶縁膜4、エッチングストッパ膜5及び層間絶縁膜6をエッチングし、エッチングストッパ膜7まで到達するビアホール9を形成する。次に、O<sub>2</sub>プラズマアッシング及び有機剥離液により、レジスト及び下層反射防止膜を剥離する。

【0006】次に、図14 (c) に示すように、キャップ膜3上及びビアホール9内に、有機物からなる下層反射防止膜2を塗布する。このとき、下層反射防止膜2はビアホール9を完全に埋め込むように形成する。即ち、フルフィルとする。

【0007】次に、図15 (a) に示すように、下層反射防止膜2上にポジ型のレジスト11を塗布する。

【0008】次に、図15 (b) に示すように、このレジスト11をKrFエキシマレーザにより露光し、その後現像して、レジスト11にフォトリソグラフィによりトレンチパターンを形成する。

【0009】次に、図15 (c) に示すように、このレジスト11をマスクとして、下層反射防止膜2に対してO<sub>2</sub>プラズマ剥離による異方性エッチバックを行い、ビアホール9内の下層反射防止膜2を少なくともエッチングストッパ膜5に相当する位置までエッチングする。

【0010】次に、図16 (a) に示すように、レジスト11をマスクとしてキャップ膜3、層間絶縁膜4をエッチングし、配線トレンチ(溝)10を形成する。

【0011】次に、図16 (b) に示すように、O<sub>2</sub>プラズマアッシング又は有機剥離液により、レジスト11及び下層反射防止膜2を剥離する。

【0012】次に、図16 (c) に示すように、ビアホ

ール9内及び配線トレンチ10内にCuからなる導電材料12を埋め込み、CMP(Chemical mechanical Polishing; 化学的機械的研磨)によりキャップ膜3の表面を平坦化する。これにより、キャップ膜3上の導電材料12の全て及びキャップ膜3の大部分が除去され、配線構造が完成する。

### 【0013】

【発明が解決しようとする課題】しかしながら、上述の従来の技術には以下に示すような問題点がある。この従来の配線形成方法においては、図15 (c) に示す工程において、有機物からなる下層反射防止膜2を300乃至600nmの深さに亘って異方性をもってエッチバックする必要があり、このエッチバックにおける横方向の寸法制御が難しいという問題点がある。

【0014】本発明はかかる問題点に鑑みてなされたものであって、ビアホールの横方向の寸法制御が容易なデュアルダマシン法による配線形成方法を提供することを目的とする。

### 【0015】

【課題を解決するための手段】本願第1発明に係るデュアルダマシン法による配線形成方法は、下層導体層上に第1の層間絶縁膜を形成する工程と、この第1の層間絶縁膜上に第2の層間絶縁膜を形成する工程と、この第2の層間絶縁膜上にビアホールパターンの開口を有する第1のレジスト膜を形成する工程と、この第1のレジスト膜をマスクとして前記第1及び第2の層間絶縁膜をエッチングしてビアホールを形成する工程と、前記第2の層間絶縁膜上及び前記ビアホール内の一端を埋め込み、このビアホール内におけるその上面の位置が前記第1の層間絶縁膜の上面の位置よりも低くなるように反射防止膜を形成する工程と、前記反射防止膜上及び前記ビアホール内の残部を埋め込むように第2のレジスト膜を形成する工程と、前記第2のレジスト膜をフォトリソグラフィにより露光及び現像して前記第2のレジスト膜に配線パターンの開口を形成する工程と、前記第2のレジスト膜をマスクとして前記反射防止膜及び前記第2の層間絶縁膜をエッチングして配線構を形成する工程と、前記第2のレジスト膜及び前記反射防止膜を除去する工程と、前記ビアホール及び前記配線構に導電材料を埋め込んで前記下層導体層に接続されるビア及びこのビアに接続される配線を形成する工程と、を有することを特徴とする。

【0016】本第1発明においては、ビアホール内の一端のみに反射防止膜を埋め込むことにより、この反射防止膜をエッチングする工程を短縮することができ、第2のレジスト膜の開口部において、横方向の拡がりを抑制することができる。この結果、ビアホールの横方向の寸法を容易に制御することができる。

【0017】本願第2発明に係るデュアルダマシン法による配線形成方法は、下層導体層上に第1の層間絶縁膜を形成する工程と、この第1の層間絶縁膜上に第2の層

間絶縁膜を形成する工程と、この第2の層間絶縁膜上にビアホールパターンの開口を有する第1のレジスト膜を形成する工程と、この第1のレジスト膜をマスクとして前記第1及び第2の層間絶縁膜をエッティングしてビアホールを形成する工程と、前記第2の層間絶縁膜上及び前記ビアホール内の一一部を埋め込むように反射防止膜を形成する工程と、前記反射防止膜上及び前記ビアホール内の残部を埋め込むように露光部溶解速度が250乃至700nm/秒である第2のレジスト膜を形成する工程と、前記第2のレジスト膜をフォトリソグラフィにより露光及び現像して前記第2のレジスト膜に配線パターンの開口を形成する工程と、前記第2のレジスト膜をマスクとして前記反射防止膜及び前記第2の層間絶縁膜をエッティングして配線溝を形成する工程と、前記第2のレジスト膜及び前記反射防止膜を除去する工程と、前記ビアホール及び前記配線溝に導電材料を埋め込んで前記下層導体層に接続されるビア及びこのビアに接続される配線を形成する工程と、を有することを特徴とする。

【0018】本第2発明においては、第2のレジスト膜の露光部溶解速度を250乃至700nm/秒とする。これにより、第2のレジスト膜の露光時に、ビアホール内に埋め込まれた第2のレジスト膜に到達する光量が反射防止膜上に形成された第2のレジスト膜に到達する光量よりも少ない場合においても、第2のレジスト膜の現像に際して、ビアホール内に埋め込まれた第2のレジスト膜も現像液に溶解させることができ、ビアホール内に埋め込まれた第2のレジスト膜の溶け残りを防止できる。これにより、第2の層間絶縁膜のエッティングに際して、エッティング残さの発生を防止することができる。この結果、配線の信頼性を向上させることができる。また、第2のレジスト膜の矩形性を維持することができる。更に、本発明においては、ビアホール内に埋め込まれた反射防止膜の異方性エッチバック工程を短縮できるため、第2のレジスト膜の開口の横方向の寸法制御が容易である。

【0019】また、前記反射防止膜をエッティングする工程において、前記ビアホール内におけるエッティング後の反射防止膜の上面の位置は、前記第1の層間絶縁膜の上面の位置よりも低いことが好ましい。これにより、第2の層間絶縁膜をエッティングする際に、ビアホール内に残留した反射防止膜をマスクとしてエッティング残さが発生することをより一層防止することができる。

【0020】本願第3発明に係るデュアルダマシン法による配線形成方法は、下層導体層上に第1の層間絶縁膜を形成する工程と、この第1の層間絶縁膜上に第2の層間絶縁膜を形成する工程と、この第2の層間絶縁膜上にビアホールパターンの開口を有する第1のレジスト膜を形成する工程と、この第1のレジスト膜をマスクとして前記第1及び第2の層間絶縁膜をエッティングしてビアホールを形成する工程と、前記第2の層間絶縁膜上及び前

記ビアホールを埋め込むように露光部溶解速度が250乃至700nm/秒である第2のレジスト膜を形成する工程と、前記第2のレジスト膜をフォトリソグラフィにより露光及び現像して前記第2のレジスト膜に配線パターンの開口を形成する工程と、前記第2のレジスト膜をマスクとして前記第2の層間絶縁膜をエッティングして配線溝を形成する工程と、前記第2のレジスト膜を除去する工程と、前記ビアホール及び前記配線溝に導電材料を埋め込んで前記下層導体層に接続されるビア及びこのビアに接続される配線を形成する工程と、を有することを特徴とする。

【0021】本第3発明においては、第2のレジスト膜の露光部溶解速度を250乃至700nm/秒とすることにより、レジスト膜の現像に際して、レジスト膜の矩形性を維持しながら、ビアホール内に埋め込まれた第2のレジスト膜も現像液に溶解させることができる。これにより、ビアホール内に埋め込まれた第2のレジスト膜の溶け残りを防止し、エッティング残さの発生を防止することができる。この結果、配線の信頼性が向上する。また、反射防止膜を形成しないため、ビアホール内に入射した露光光がビアホール内に埋め込まれた第2のレジスト膜の底部において反射する。このため、この第2のレジスト膜を露光する光量が増加し、第2のレジスト膜の溶解速度が増加する。この結果、第2のレジスト膜の溶け残りを確実に防止することができる。

【0022】また、前述の第1乃至第3発明において、前記第2のレジスト膜の未露光部溶解速度が0.05乃至0.4nm/秒であることが好ましい。これにより、ビアホール内に入射する露光量が少ない場合においても、ビアホール内に埋め込まれた第2のレジスト膜の現像液に対する溶解速度を確保し、エッティング残さの発生をより確実に防止することができると共に、第2のレジスト膜における未露光部の膜減りを防止し、第2のレジスト膜の矩形性をより向上させることができる。

【0023】

【発明の実施の形態】以下、本発明の実施形態について添付の図面を参照して具体的に説明する。先ず、本発明の第1の実施形態について説明する。本実施形態においては、前述の従来の技術の問題点を解決するために、下層反射防止膜をビアホール内に完全には埋め込まずに、部分的に埋め込んでいる。即ち、フルフィルではなくパーシャルフィルとしている。

【0024】図1(a)乃至(c)、図2(a)乃至(c)及び図3(a)乃至(c)は、本実施形態に係るパーシャルフィル法によるビアファーストデュアルダマシン法の配線形成方法を、その工程順に示す断面図である。なお、前述の従来のフルフィル法による配線形成方法における構成要素と同じ構成要素には同一の符号を付し、詳細な説明を省略する。

【0025】先ず、図1(a)に示すように、下層配線

層8上にエッティングストップ膜7、層間絶縁膜6、エッティングストップ膜5、層間絶縁膜4及びキャップ膜3をこの順に形成する。次に、下層反射防止膜(図示せず)を塗布し、レジスト(図示せず)を塗布する。次に、このレジストをKrfエキシマレーザにより露光し、その後現像することにより、前記レジストにビアホールパターンを形成する。

【0026】次に、図1(b)に示すように、このビアホールパターンが形成されたレジスト(図示せず)をマスクとして、下層反射防止膜(図示せず)、キャップ膜3、層間絶縁膜4、エッティングストップ膜5及び層間絶縁膜6をエッティングし、エッティングストップ膜7に到達するビアホール9を形成する。次に、O<sub>2</sub>プラズマアシシング又は有機剥離液により、レジスト及び下層反射防止膜を剥離する。

【0027】次に、図1(c)に示すように、ビアホール9内及びキャップ膜3上有機物からなる下層反射防止膜2を塗布する。このとき、下層反射防止膜2はビアホール9を部分的に埋め込むように形成する。即ち、パーシャルフィルとする。なお、このとき、図1(c)に示されているように、下層反射防止膜2の上面が、層間絶縁膜6の上面よりも低い位置になるようにする。

【0028】次に、図2(a)に示すように、ビアホール9内及び下層反射防止膜2上有機物からなる下層反射防止膜2を塗布する。このとき、レジスト11はビアホール9内における下層反射防止膜2上の空間を埋め込む。

【0029】次に、図2(b)に示すように、このレジスト11をKrfエキシマレーザにより露光し、その後現像して、フォトリソグラフィによりレジスト11にトレチパターンを形成する。このとき、ビアホール9内にはレジスト11が残留する。

【0030】次に、図2(c)に示すように、このトレチパターンが形成されたレジスト11をマスクとして、キャップ膜3上の下層反射防止膜2を除去する。

【0031】次に、図3(a)に示すように、レジスト11をマスクとしてキャップ膜3、層間絶縁膜4をエッティングし、配線トレチ(溝)10を形成する。

【0032】次に、図3(b)に示すように、O<sub>2</sub>プラズマアシシング及び有機剥離液により、レジスト11及び下層反射防止膜2を剥離する。

【0033】次に、図3(c)に示すように、ビアホール9及び配線トレチ10に導電材料12を埋め込む。導電材料12は例えばCuである。これにより、ビア14及び配線15が形成される。その後、キャップ膜3の表面をCMPにより平坦化する。これにより、キャップ膜3上の導電材料12の全て及びキャップ膜3の大部分がCMPにより除去され、配線構造が完成する。

【0034】本実施形態に係るパーシャルフィルによる配線形成方法においては、前述の従来のフルフィルによる配線形成方法において、図15(c)に示す下層反射

防止膜をO<sub>2</sub>プラズマ剥離により異方性エッチバックする工程を短縮し、レジスト11の開口部の横方向の拡がりを抑制することができる。

【0035】次に、本発明の第2の実施形態について説明する。前述の第1の実施形態に係るパーシャルフィルによる配線形成方法においては、図2(c)に示す工程において、ビアホール9内に埋め込まれたレジスト11が溶け残るという問題点がある。これは、露光に際してビアホール9内のレジスト11にはKrfエキシマレーザの光が十分に届かないことに起因する。レジスト11はポジ型レジストであるため、露光されることにより現像液に溶解するようになる。従って、露光が不十分であると、現像液への溶解速度が十分に上がらず、溶け残ってしまう。

【0036】一方、図1(b)に示す工程において、エッティングによりビアホール9を形成する際、エッティングの特性上、ビアホール9は上部開口部の横断面積が底部の横断面積よりも大きくなる。このため、ビアホール9の側面は、上方が後方に反るよう若干傾斜している。このように、ビアホール9の側面が傾斜しているため、ビアホール9内に埋め込まれていたレジスト11が残留すると、この残留したレジスト11も上部の横断面積が下部の横断面積よりも大きくなり、側面が外側に張出した形状となる。

【0037】従って、図3(a)に示す工程において、キャップ膜3及び層間絶縁膜4をエッティングすると、レジスト11における外側に張出した部分が層間絶縁膜4及びキャップ膜3に対するマスクとなり、その直下に層間絶縁膜4又は層間絶縁膜4及びキャップ膜3のエッティング残さ13が生じる。このエッティング残さ13はビアホール9の開口部を囲むように形成されるため、クラウンと呼ばれる。そして、このエッティング残さ13はレジスト11及び下層反射防止膜2を除去するためのO<sub>2</sub>アシシング及び有機剥離液処理では取り除けないため、エッティング残さ13はレジスト11及び下層反射防止膜2をこのO<sub>2</sub>アシシング又は有機剥離液処理により除去した後も残り、導電物質12内に埋め込まれる。この結果、製造した配線の信頼性が低下するという問題点がある。

【0038】なお、ビアホール9内のレジスト11を完全に溶かすことだけを目的とすれば、従来よりも現像時間を長くする方法も考えられる。しかしながら、現像時間を長くすると配線トレチ10の幅が広がってしまうため、微細な配線構造を形成することができなくなるという問題点がある。本第2の実施形態は、この問題点を解決するものである。

【0039】図4(a)乃至(c)、図5(a)乃至(c)及び図6(a)乃至(c)は本実施形態に係るデュアルダマシン法による配線形成方法をその工程順に示す断面図である。本実施形態においても、反射防止膜を

使用するパーシャルフィル法による配線形成方法について説明する。なお、前述の第1の実施形態に係る配線形成方法における構成要素と同じ構成要素には同一の符号を付す。

【0040】先ず、図4 (a) に示すように、下層配線層8上にSiCNからなるエッティングストッパ膜7を形成する。エッティングストッパ膜7の厚さは例えば70nmとする。下層配線層8は、例えば、半導体装置におけるトランジスタの電極層又は下層配線層等である。次に、プラズマによりSiO<sub>2</sub>膜を成長させて、厚さが例えば600nmである層間絶縁膜6を形成する。その上にSiCからなり厚さが例えば50nmのエッティングストッパ膜5を形成する。次に、ラダーオキサイドからなる低誘電率膜であり厚さが例えば300nmの層間絶縁膜4を形成し、その上にプラズマによりSiO<sub>2</sub>を例えば250nmの厚さに堆積させてキャップ膜3を形成する。キャップ膜3を形成する理由は、後述するCMP工程において、ラダーオキサイドからなる層間絶縁膜4をCMPにより平坦化することが難しいからである。このため、層間絶縁膜4上にSiO<sub>2</sub>からなるキャップ膜3を形成する。

【0041】次に、下層反射防止膜(図示せず)を例えば厚さが50nmになるように塗布し、レジスト(図示せず)を塗布する。次に、このレジストをKrFエキシマレーザにより露光し、その後現像して、このレジストにフォトリソグラフィによりビアホールパターンを形成する。

【0042】次に、図4 (b) に示すように、このビアホールパターンが形成されたレジスト(図示せず)をマスクとして、下層反射防止膜(図示せず)、キャップ膜3、層間絶縁膜4、エッティングストッパ膜5及び層間絶縁膜6をエッティングし、エッティングストッパ膜7まで到達するビアホール9を形成する。次に、O<sub>2</sub>プラズマアシシング又は有機剥離液処理により、レジスト及び下層反射防止膜を剥離する。

【0043】次に、図4 (c) に示すように、ビアホール9内及びキャップ膜3上有機物からなる下層反射防止膜2を塗布する。この場合に、下層反射防止膜2はビアホール9を部分的に埋め込むように形成し、所謂、パーシャルフィルとする。

【0044】次に、図5 (a) に示すように、下層反射防止膜2上及びビアホール9内における下層反射防止膜2上の空間を埋めるようにポジ型のレジスト1を塗布する。このレジスト1は、露光部溶解速度(最大溶解速度)が250乃至700nm/秒であり、未露光部溶解速度(最小溶解速度)が0.05乃至0.4nm/秒であるものを使用する。反射防止膜2上におけるレジスト1の厚さは例えば600nmとする。レジスト1は、例えば、アセタールレジスト又はESCAPレジストであることができる。なお、アセタールレジストとは、ポリ

パラヒドロキシスチレンにおける一部の水酸基をアセタール保護基で保護したポリマに光酸発生剤及び添加剤を添加して作製するレジストである。また、ESCAPレジストとは、パラヒドロキシスチレン及びメタクリル酸エステル等を主成分とする共重合体からなるポリマに光酸発生剤及び添加剤を添加して作製する化学増幅型レジストである。

【0045】次に、図5 (b) に示すように、このレジスト1を、KrFスキャン露光機を使用して波長が248nmのKrFエキシマレーザにより露光する。その後、現像して、レジスト1にフォトリソグラフィによりトレンチパターンを形成する。現像液には、例えば、濃度が2.38質量%のTMAH(tetra-methyl-ammonium-hydroxide: テトラメチルアンモニウムハイドロオキサイド)の水溶液を使用し、現像時間は例えば30秒間とする。なお、現像液におけるTMAHの濃度には、0.5乃至3質量%の範囲で幅があつてもよい。この現像処理により、ビアホール9内におけるレジスト1は現像液に溶解して除去される。

【0046】次に、図5 (c) に示すように、このトレンチパターンが形成されたレジスト1をマスクとして、キャップ膜3上の下層反射防止膜2を除去する。このとき、ビアホール9内における下層反射防止膜2の上面の位置が、層間絶縁膜6の上面の位置よりも低くなるようになる。

【0047】次に、図6 (a) に示すように、レジスト1をマスクとしてキャップ膜3、層間絶縁膜4をエッティングし、配線トレンチ(溝)10を形成する。このエッティングはエッティングストッパ膜5にて停止させる。

【0048】次に、図6 (b) に示すように、O<sub>2</sub>プラズマアシシング又は有機剥離液処理により、レジスト1及び下層反射防止膜2を除去する。その後、エッティングを行い、ビアホール9内のエッティングストッパ膜7を除去する。

【0049】次に、図6 (c) に示すように、ビアホール9内及び配線トレンチ10内に導電材料12を埋め込む。導電材料12は例えばCuである。これにより、ビア14及び配線15を形成する。その後、キャップ膜3の表面に対してCMPを行い、キャップ膜3上にはみ出した導電材料12の全て及びキャップ膜3の大部分をCMPにより除去し、表面を平坦化する。これにより、配線構造が完成する。以下、本発明の各構成要素における数値限定理由について説明する。

【0050】配線トレンチを形成するためのレジストの露光部溶解速度: 250乃至700nm/秒  
レジストの露光部溶解速度(最大溶解速度)が250nm/秒未満であると、ビアホール内に形成されたレジストの溶解速度が低く、現像に際してこのレジストが溶け残ってしまう。このため、層間絶縁膜をエッティングして配線トレンチを形成する工程において、この溶け残った

レジストをマスクとしてエッチング残さが発生する。一方、レジストの露光部溶解速度が700 nm/秒より大きいと、露光光のコントラストが低下する部分において、レジストの肩部分が丸くなりレジストの矩形性が低下する。露光光のコントラストの低下は、例えば配線トレンチが密集する部分において隣り合う配線との間で光強度が重なることによって発生する。レジストの形状の矩形性が低下すると、このレジストをマスクとして層間絶縁膜をエッチングして配線トレンチを形成する際に、配線トレンチの形状が劣化する。従って、配線トレンチを形成するためのレジストの露光部溶解速度は250乃至700 nm/秒とする。

【0051】配線トレンチを形成するためのレジストの未露光部溶解速度：0.05乃至0.4 nm/秒

レジストの未露光部溶解速度（最小溶解速度）を0.05 nm/秒以上とすると、ビアホール内に埋め込まれたレジストの溶解速度をより確実に増加させることができる。一方、レジストの未露光溶解速度が0.4 nm/秒以下であると、レジストの未露光部の膜減りが大きくなりすぎることを防止することができる。従って、配線トレンチを形成するためのレジストの未露光部溶解速度は、0.05乃至0.4 nm/秒であることが好ましい。

【0052】上述の数値限定理由について、より詳細に説明する。図7は横軸にレジストに対する露光量をとり、縦軸に露光後のレジストの現像液に対する溶解速度、即ち現像速度をとて、レジストにおける露光量と現像速度との関係を示すグラフ図である。図7において、線21は本実施形態におけるレジストの溶解速度を示し、線22は従来のレジストの溶解速度を示す。また、 $R_{max}$ はレジストの最大溶解速度を示し、 $R_{min}$ はレジストの最小溶解速度を示す。また、 $E_{opt}$ は最適露光量を示す。例えば、本実施形態の配線形成方法において、レジスト1として線21に示すような特性を有するレジストを使用する場合、反射防止膜2上に形成されているレジスト1（図5（a）参照）の露光量が最適露光量 $E_{opt}$ である20 mJ/cm<sup>2</sup>であり、ビアホール9内に形成されているレジスト1の露光量が10 mJ/cm<sup>2</sup>であると仮定すると、ビアホール9内に形成されているレジスト1の現像速度は約100 nm/秒となる。現像時間を30秒間とすると、この現像処理によりビアホール9内のレジスト1は深さ約3 μmまで溶解することになる。ビアホール9内のレジスト1の厚さは、通常数百nm程度であるため、本実施形態においてはビアホール9内のレジスト1を完全に溶解させることができる。

【0053】これに対して、レジスト1として線22に示すような従来のレジストを使用すると、ビアホール9内に形成されているレジスト1の溶解速度は約1 nm/秒となる。現像時間が30秒間である場合、レジスト1

の溶解量は約30 nmとなる。このため、ビアホール9内のレジスト1には溶け残りが発生する。

【0054】このように、レジスト1においては、最大溶解速度及び最小溶解速度の双方が高いほど、ビアホールからのレジストの抜け性向上には効果がある。しかしながら、現像後のレジスト1の形状を維持できるように、露光前後の溶解速度を制御する必要がある。

【0055】図8は、横軸に現像時間をとり、縦軸に残存するレジスト膜厚をとて、現像処理中におけるDRM（現像速度モニタ）の測定結果を示すグラフ図である。線23は現像時間と残存するレジスト膜厚との関係を示す。図8に示すように、線23は必ずしも直線ではないが、本発明においては、線23における現像開始点における接線24の傾きを、レジストの現像速度と定義する。

【0056】次に、本実施形態の配線形成方法により形成された配線の構成を説明する。図6（c）に示すように、半導体装置のトランジスタの電極層又は下層配線層等である下層配線層8上にSiCNからなるエッチングストップ膜7が設けられており、エッチングストップ膜7上にはSiO<sub>2</sub>からなる層間絶縁膜6が設けられている。また、層間絶縁膜6上にはSiCからなるエッチングストップ膜5が設けられている。エッチングストップ膜7、層間絶縁膜6及びエッチングストップ膜5には、これらを垂直に貫通したビアホール9（図6（b）参照）が形成されており、ビアホール9内にはCuからなるビア14が形成されている。ビア14は下層配線層8に接続されている。また、エッチングストップ膜5上にはラダーオキサイドからなる層間絶縁膜4が設けられ、層間絶縁膜4には配線トレンチ10（図6（b）参照）が形成されており、配線トレンチ10内にはCuからなる配線15が形成されている。配線15はビア14に接続されている。

【0057】本実施形態に係るデュアルダマシン法による配線形成方法によれば、レジスト1として露光部溶解速度（最大溶解速度）が250 nm/秒以上であり、未露光部溶解速度（最小溶解速度）が0.05 nm/秒以上であるレジストを使用することにより、図5（b）に示すレジスト1の露光時に、ビアホール9内に埋め込まれたレジスト1に到達する光量が少ない場合においても、現像時にビアホール9内に埋め込まれたレジスト1を現像液に溶解させることができる。これにより、ビアホール9内に埋め込まれたレジスト1が溶け残ることを防止できる。この結果、図6（a）に示すキャップ膜3及び層間絶縁膜4のエッチングに際して、従来の配線形成方法において発生するようなエッチング残さ（図3（a）参照）の発生を防止することができる。このため、このようなエッチング残さが配線15内に残留することなく、配線の信頼性を向上させることができる。

【0058】一方、本実施形態においては、レジスト1

の露光部溶解速度（最大溶解速度）を700 nm/秒以下とすることにより、レジスト1の矩形性を維持することができる。更に、未露光部溶解速度（最小溶解速度）を0.4 nm/秒以下とすることにより、露光されていない部分のレジストの膜減りを防止することができる。これらにより、精度良く微細な配線を形成することができる。また、本実施形態においては、ビアホール内に埋め込まれた反射防止膜に対する異方性エッチバック工程を短縮できるため、ビアホールの横方向の寸法制御が容易である。

【0059】更にまた、本実施形態においては、レジストの下方に反射防止膜を設けている。これにより、露光光の干渉によりレジストの膜厚が変動することを抑制することができる。また、ビアホールの下部を反射防止膜により埋め込むことにより、配線トレンチのエッチング工程において、ビアホールの底部を保護することができる。

【0060】以下、前述の第1の実施形態に対する第2の実施形態の効果について、具体的に説明する。

#### 【0061】試験例1

前述の第2の実施形態に記載した方法により、配線を形成した。このとき、レジストには、最大溶解速度が2.5 nm乃至700 nm/秒、最小溶解速度が0.05乃至0.4 nm/秒である第2の実施形態のレジストと、最大溶解速度が5.0乃至200 nm/秒、最小溶解速度が0.005乃至0.05 nm/秒である第1の実施形態のレジストとの2種類のレジストを使用した。図9

(a)、(b)及び(c)は、この配線の形成工程において配線トレンチ及びビアホールの断面をSEM(Scanning electron microscope:走査型電子顕微鏡)により観察した結果をトレースした模式図である。図9(a)は、レジストを露光する前、即ち前述の第2の実施形態において図5(a)に示す工程に相当する工程における断面を示し、図9(b)及び(c)は、レジストを現像した後、即ち前述の第2の実施形態における図6(a)に示す工程に相当する工程における断面を示し、図9(b)は第2の実施形態のレジストを使用した例を示し、図9(c)は第1の実施形態のレジストを使用した例を示す。

【0062】図9(a)に示すように、レジストを露光する前においては、下層配線層31上に層間絶縁膜32

(図5(a)におけるエッチングストップ膜7、層間絶縁膜6、エッチングストップ膜5、層間絶縁膜4、キヤップ膜3及び反射防止膜2に相当)が設けられ、層間絶縁膜32にはビアホール33及び配線トレンチ34が形成されている。ビアホール33の内部には反射防止膜35が形成され、ビアホール33及び配線トレンチ34の内部には本発明のレジスト36が形成されている。

【0063】図9(b)に示すように、図9(a)に示す配線においてレジスト36の露光及び現像を行うと、層間絶縁膜32上には矩形のレジスト36が形成されるが、ビアホール33内にはレジスト36は残留しなかつた。

【0064】これに対して、レジストとして第1の実施形態のレジスト37を使用すると、図9(c)に示すように、レジスト37の露光及び現像を行った後においても、ビアホール33内にレジスト37が残留した。

#### 【0065】試験例2

前述の第2の実施形態に記載した方法により、配線を形成した。ビアホールの幅及び配線トレンチの幅は共に0.2 μmとし、ビアホール及び配線トレンチの合計の高さは1.2 μmとした。このとき、レジストには、最大溶解速度及び最小溶解速度が異なる9種類のレジストA乃至Jを使用し、各レジストにおける露光・現像時ににおける抜け性及び現像後のレジストの矩形性を評価した。露光はKrFエキシマレーザにより行った。なお、レジストH、I及びJはラインパターンの形成に際して特性がよいレジストである。抜け性の評価は、レジストがビアホールから抜ける露光時のフォーカス範囲によって行った。即ち、レジストの抜け性が良好であるほど、フォーカス範囲を広くすることができる。また、現像後におけるレジストの矩形性の評価は、現像後のレジストの形状をSEMにより観察することにより行った。矩形性が特に良好であった場合を「○」、良好であった場合を「○」、レジストの肩が丸くなり矩形性が不良であった場合を「×」とした。レジストA乃至Jの最大溶解速度及び最小溶解速度、並びに、レジストA乃至Jの抜け性及び矩形性の評価結果を表1に示す。

#### 【0066】

##### 【表1】

対応する 実施形態	No.	レジスト			抜け性	矩形性
		レジスト の種類	最大溶解速度 (nm/秒)	最小溶解速度 (nm/秒)		
第1	1	A	800	0.10	0.7	×
第2	2	B	600	0.01	0.3	○
第2	3	C	450	0.22	0.6	○
第2	4	D	400	0.31	0.5	○
第2	5	E	320	0.35	0.3	◎
第2	6	F	260	0.01	0.3	○
第1	7	H	100	0.01	抜けない	○
第1	8	I	90	0.01	抜けない	○
第1	9	J	60	0.02	抜けない	○

【0067】表1に示すNo. 2乃至6は第2の実施形態の実施例である。実施例No. 2乃至6は、レジストの最大溶解速度が250乃至700nm/秒であるため、抜け性が良好であり矩形性も優れていた。特に、実施例No. 3乃至6は、最小溶解速度が0.05乃至0.4nm/秒であるため、レジストの抜け性及び矩形性のバランスが特に良好であった。

【0068】これに対して、表1に示すNo. 1及び7乃至9は第1の実施形態の実施例である。実施例No. 1は、レジストの最大溶解速度が800nm/秒と大きいため、現像後のレジストの肩が丸くなり、矩形性が不良であった。実施例No. 7乃至9は、レジストの最大溶解速度が250nm/秒未満と小さいため、露光のフォーカス範囲を調節してもレジストがビアホールから抜けずに残留した。即ち、抜け性が不良であった。

【0069】図10 (a)、(b)及び(c)は、夫々実施例No. 3、4及び7におけるレジスト現像後の配線トレチ及びビアホールの断面をSEMにより観察した結果をトレースした模式図である。図10 (a)及び(b)に示すように、実施例No. 3及び4においては、ビアホール33内にレジストは残留していないかった。しかしながら、図10 (c)に示すように、実施例No. 7においては、ビアホール33内にレジスト42が残留していた。なお、前述の第1及び第2の試験例においては、第1の実施形態の実施例と第2の実施形態の実施例との差を出すために敢えて厳しい条件で試験を行っており、条件をより好適な条件に調整すれば、第1の実施形態の方法によっても、レジストの矩形性及び抜け性を両立させることができる。

【0070】次に、本発明の第3の実施形態について説明する。図11 (a)乃至(c)、図12 (a)乃至(c)及び図13は本第3の実施形態に係るデュアルダーマシン法による配線形成方法をその工程順に示す断面図である。本実施形態においては、反射防止膜を使用しない。なお、前述の第2の実施形態に係る配線形成方法と

同じ構成要素には同一の符号を付し、その詳細な説明を省略する。

【0071】先ず、図11 (a)に示すように、例えば、半導体装置におけるトランジスタの電極層又は下層配線層等の下層配線層8上に、SiCNからなるエッチングストップ膜7を厚さが例えば70nmになるように形成する。次に、プラズマによりSiO<sub>2</sub>膜を成長させて、厚さが例えば600nmである層間絶縁膜6を形成する。その上にSiCからなり、厚さが例えば50nmのエッチングストップ膜5を形成する。次に、ラダーオキサイドからなる低誘電率膜であり厚さが例えば300nmの層間絶縁膜4を形成し、その上にプラズマによりSiO<sub>2</sub>を例えば250nmの厚さに堆積させてキャップ膜3を形成する。

【0072】次に、レジスト(図示せず)を塗布し、このレジストをKrFエキシマレーザにより露光し、その後現像して、このレジストにフォトリソグラフィによりビアホールパターンを形成する。

【0073】次に、図11 (b)に示すように、このビアホールパターンが形成されたレジスト(図示せず)をマスクとして、キャップ膜3、層間絶縁膜4、エッチングストップ膜5及び層間絶縁膜6をエッチングし、エッチングストップ膜7まで到達するビアホール9を形成する。次に、O<sub>2</sub>プラズマアッティング又は有機剥離液によりレジストを除去する。

【0074】次に、図11 (c)に示すように、キャップ膜3上及びビアホール9内を埋めるようにポジ型のレジスト1を塗布する。このレジスト1は、露光部溶解速度(最大溶解速度)が250乃至700nm/秒であり、未露光部溶解速度(最小溶解速度)が0.05乃至0.4nm/秒であるものを使用する。レジスト1は、例えば、アセタールレジスト又はESCAPレジストであることができる。また、キャップ膜3上におけるレジスト1の厚さは例えば600nmとする。

【0075】次に、図12 (a)に示すように、このレ

ジスト1を、K r Fスキャン露光機を使用してK r Fエキシマレーザにより露光する。その後、現像して、レジスト1にフォトリソグラフィによりトレンチパターンを形成する。現像液には、例えば、濃度が2. 38質量%のTMAH (tetra-methyl-ammonium-hydroxide: テトラメチルアンモニウムハイドロオキサイド) の水溶液を使用し、現像時間は例えば30秒間とする。これにより、ビアホール9内におけるレジスト1は現像液に溶解して除去される。

【0076】次に、図12 (b) に示すように、レジスト1をマスクとしてキャップ膜3、層間絶縁膜4をエッティングし、配線トレンチ10を形成する。このエッティングはエッティングストッパ膜5にて停止させる。

【0077】次に、図12 (c) に示すように、O<sub>2</sub>プラズマアッティング又は有機剥離液処理により、レジスト1を除去する。その後、エッティングを行い、ビアホール9内のエッティングストッパ膜7を除去する。

【0078】次に、図13に示すように、ビアホール9内及び配線トレンチ10内に導電材料12を埋め込む。導電材料12は例えばCuである。これにより、ビア14及び配線15を形成する。その後、CMPにより、キャップ膜3上にはみ出した導電材料12の全て及びキャップ膜3の大部分を除去し、表面を平坦化する。これにより、配線構造が完成する。本第3の実施形態に係る配線形成方法により形成された配線の構造は、前述の第2の実施形態に係る配線形成方法により形成された配線の構造と同一である。

【0079】本第3の実施形態に係るデュアルダマシン法による配線形成方法によれば、前述の第2の実施形態に係る配線形成方法により得られる効果に加えて、反射防止膜を形成しないため、ビアホール9内に入射した露光光がビアホール9内に埋め込まれたレジスト1の底部において反射する。このため、このビアホール9内のレジスト1を露光する光量が増加し、レジスト1の溶解速度を向上させることができる。この結果、レジスト1が溶け残ることをより確実に防止することができるという効果がある。

【0080】なお、一般にレジストはポリマ、酸発生剤及び各種の添加剤から構成され、これらの種類及び配合比率を変えることによって露光特性を変化させることができる。上述の第1乃至第3の実施形態においては、露光光にはK r Fエキシマレーザを使用し、レジスト1にはアセタールレジスト又はESCAPレジストを使用する例を示したが、本発明においてはレジスト1のポリマの種類は特に限定されず、所定の溶解速度が得られるレジストであればよい。また、本発明においては、K r Fエキシマレーザの代わりに、波長が193nmであるAr Fエキシマレーザを使用してもよい。この場合、レジストはAr Fエキシマレーザに感光するレジストであって、所定の溶解速度が得られるレジストであれば特に種

類は限定されず、例えばポリメタクリル酸エステルに光酸発生剤及び添加剤を加えて作製されるメタクリル系レジストであってもよい。

【0081】更に、層間絶縁膜4はSiLK、SiOF等の低誘電率膜であってもよく、シリコン酸化物であってもよい。更にまた、エッティングストッパ膜5はSiCに限定されず、SiN、SiON又はSiCN等であってもよく、エッティングストッパ膜7はSiCNに限定されず、SiC、SiN又はSiON等であってもよい。

【0082】

【発明の効果】以上詳述したように、本発明によれば、ビアホールの横方向の寸法制御が容易なパーシャルフィル法によるデュアルダマシン配線形成方法において、レジストの露光及び現像後に、レジストが溶け残ることを防止することができる。これにより、配線トレンチの形成時においてクラウンの発生を防止することができる。

【図面の簡単な説明】

【図1】 (a) 乃至 (c) は、本発明の第1の実施形態に係るデュアルダマシン法による配線形成方法をその工程順に示す断面図である。

【図2】 (a) 乃至 (c) は、本実施形態のデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図1の次の工程を示す図である。

【図3】 (a) 乃至 (c) は、本実施形態のデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図2の次の工程を示す図である。

【図4】 (a) 乃至 (c) は、本発明の第2の実施形態に係るデュアルダマシン法による配線形成方法をその工程順に示す断面図である。

【図5】 (a) 乃至 (c) は、本実施形態に係るデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図4の次の工程を示す図である。

【図6】 (a) 乃至 (c) は、本実施形態に係るデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図5の次の工程を示す図である。

【図7】 横軸にレジストに対する露光量をとり、縦軸に現像速度をとて、レジストにおける露光量と現像速度との関係を示すグラフ図である。

【図8】 横軸に現像時間をとり、縦軸に残存するレジスト膜厚をとて、現像処理における現像速度モニタの測定結果を示すグラフ図である。

【図9】 (a) 乃至 (c) は、配線の形成工程において配線トレンチ及びビアホールの断面をSEMにより観察した結果をトレースした模式図である。

【図10】 (a) 乃至 (c) は、夫々実施例No. 3、4及び7におけるレジスト現像後の配線トレンチ及びビアホールの断面をSEMにより観察した結果をトレースした模式図である。

【図11】 (a) 乃至 (c) は、本発明の第3の実施形態に係るデュアルダマシン法による配線形成方法をその

工程順に示す断面図である。

【図1-2】(a)乃至(c)は、本実施形態に係るデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図1-1の次の工程を示す図である。

【図1-3】本実施形態に係るデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図1-2の次の工程を示す図である。

【図1-4】(a)乃至(c)は、従来のデュアルダマシン法による配線形成方法をその工程順に示す断面図である。

【図1-5】(a)乃至(c)は、この従来のデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図1-4の次の工程を示す図である。

【図1-6】(a)乃至(c)は、この従来のデュアルダマシン法による配線形成方法をその工程順に示す断面図であって、図1-5の次の工程を示す図である。

【符号の説明】

- 1、11；レジスト
- 2；下層反射防止膜(BARC)
- 3；キップ膜
- 4、6；層間絶縁膜
- 5、7；エッチングストップ膜
- 8；下層配線層

- 9；ビアホール
- 10；配線トレチ
- 12；導電材料
- 13；エッチング残さ
- 14；ビア
- 15；配線
- 21、22、23；線
- 24；接線
- 31；下層配線層
- 32；層間絶縁膜
- 33；ビアホール
- 34；配線トレチ
- 35；反射防止膜
- 36、37；レジスト
- 42；レジスト
- $R_{max}$ ；最大溶解速度
- $R_{min}$ ；最小溶解速度
- $E_{opt}$ ；最適露光量

【手続補正2】

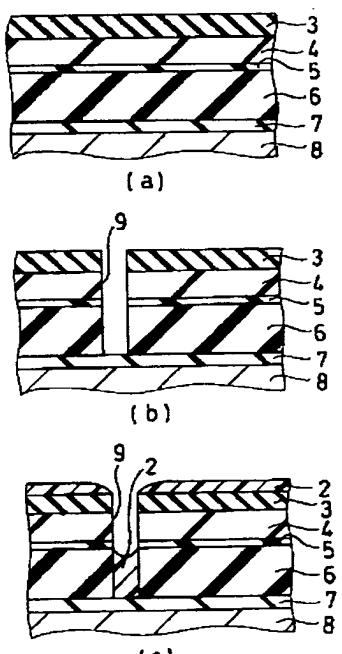
【補正対象書類名】図面

【補正対象項目名】全図

【補正方法】変更

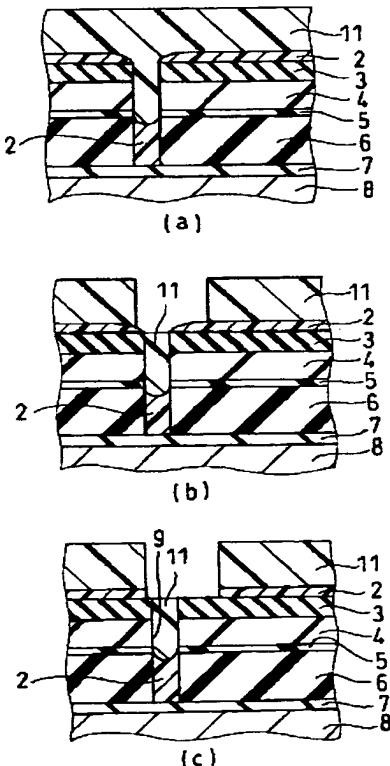
【補正内容】

【図1】



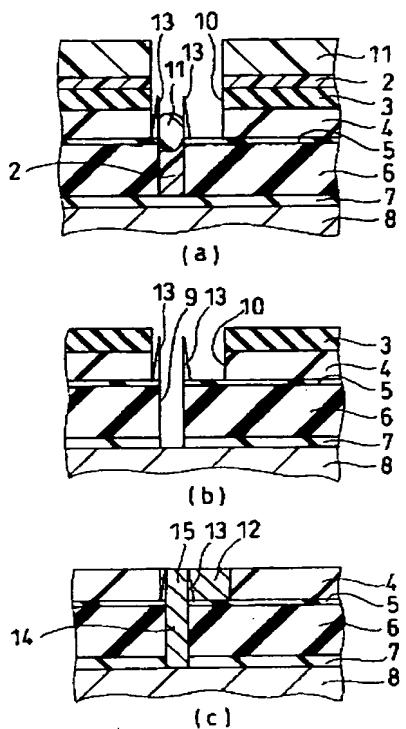
2；下層反射防止膜  
3；キップ膜  
4、6；層間絶縁膜  
5、7；エッチングストップ膜  
8；下層配線層  
9；ビアホール

【図2】



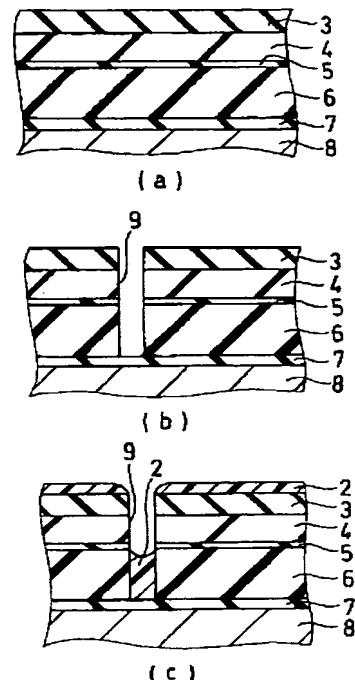
11；レジスト

【図3】



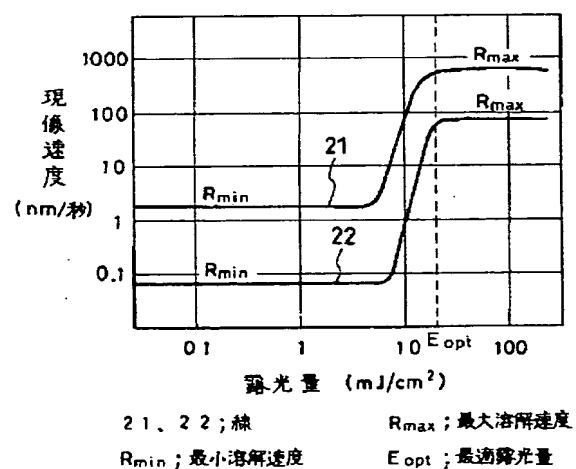
2 ; 下層反射防止膜 3 ; キャップ膜 4, 6 ; 層間絶縁膜  
 5, 7 ; エッティングストップ膜 8 ; 下層配線層 9 ; ピアホール  
 10 ; 配線トレチ 11 ; レジスト 12 ; 導電材料  
 13 ; エッティング掩蔽 14 ; ピア 15 ; 配線

【図4】



2 ; 下層反射防止膜 3 ; キャップ膜 4, 6 ; 層間絶縁膜  
 5, 7 ; エッティングストップ膜 8 ; 下層配線層 9 ; ピアホール

【図7】



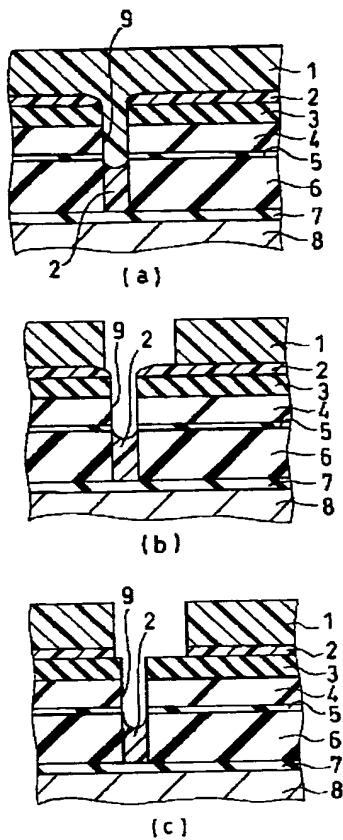
21, 22 ; 曲

$R_{max}$  ; 最大溶解速度

$R_{min}$  ; 最小溶解速度

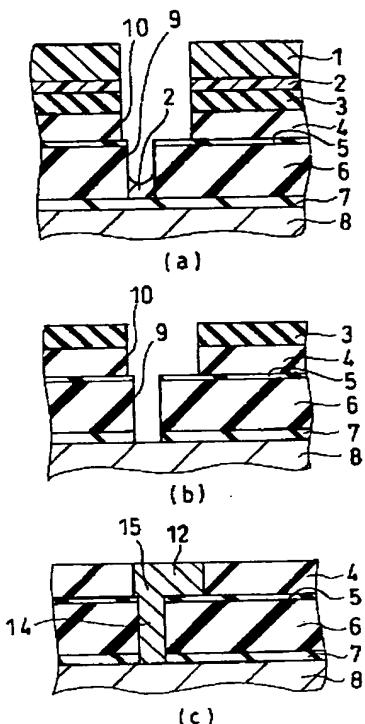
$E_{opt}$  ; 最適露光量

【図5】



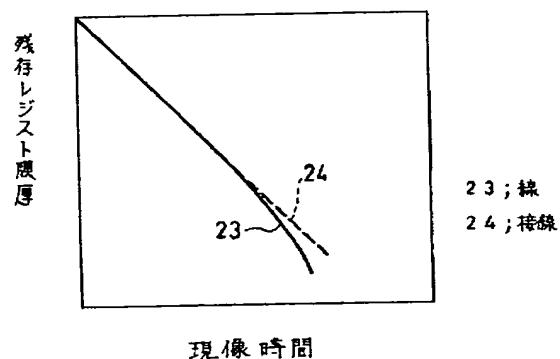
1 ; レジスト

【図6】

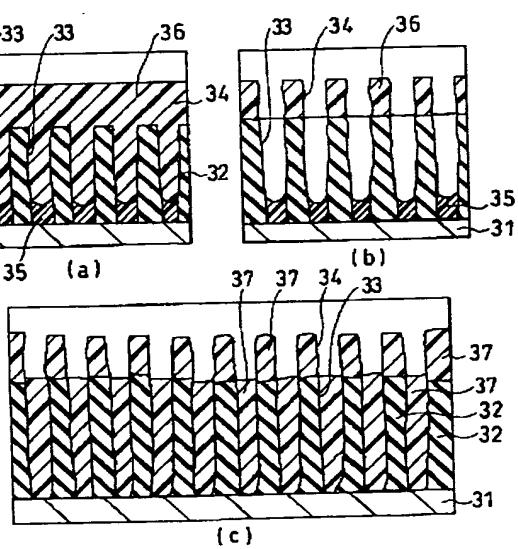


1 ; レジスト 2 ; 下層反射防止膜 3 ; キャップ膜  
 4、6 ; 層間絶縁膜 5、7 ; エッティングストップ膜  
 8 ; 下層配線層 9 ; ピアホール 10 ; 配線トレチ  
 12 ; 道具材料 14 ; ピア 15 ; 配線

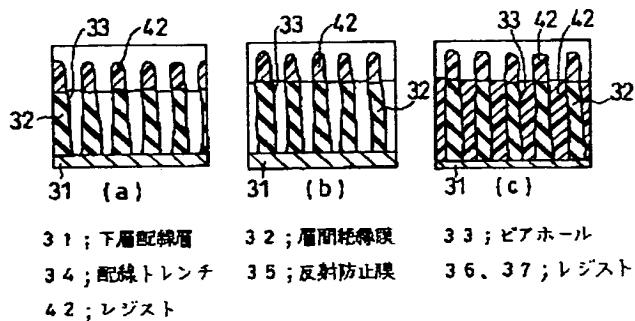
【図8】



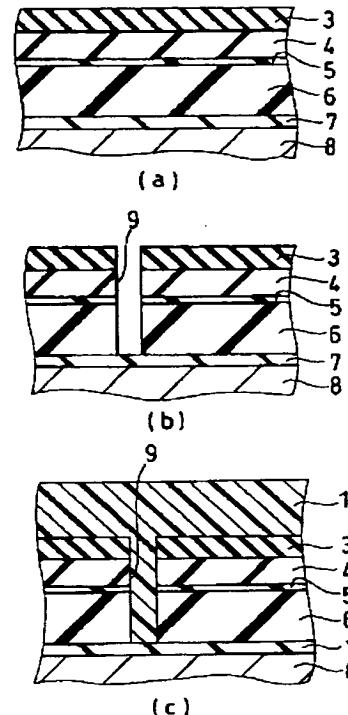
【図9】



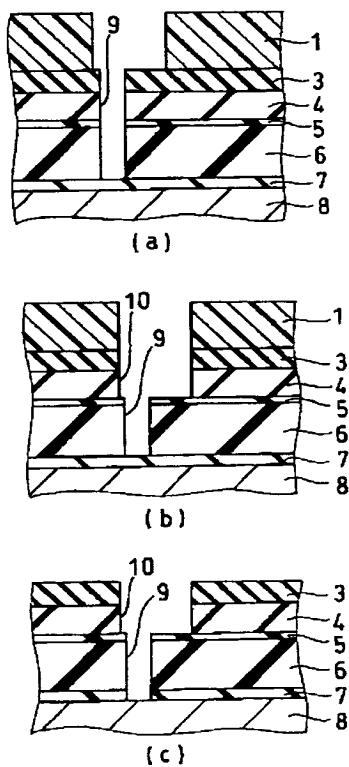
【図10】



【図11】

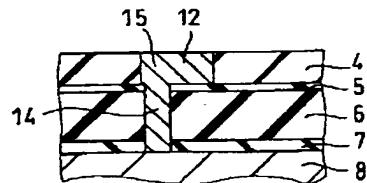


【図12】



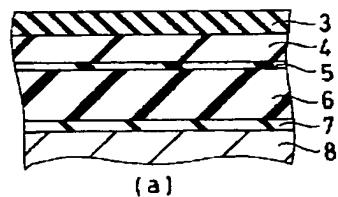
1 ; レジスト      3 ; キヤップ膜      4, 6 ; 層間絶縁膜  
5, 7 ; エッティングストップ膜      8 ; 下層配線層  
9 ; ビアホール      10 ; 配線トレチ

【図13】

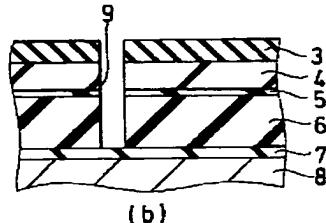


4, 6 ; 層間絶縁膜 5, 7 ; エッティングストップ膜  
8 ; 下層配線層 14 ; 面材 15 ; 配線

【図14】

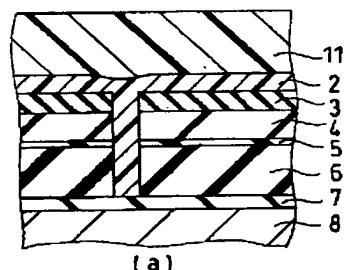


(a)

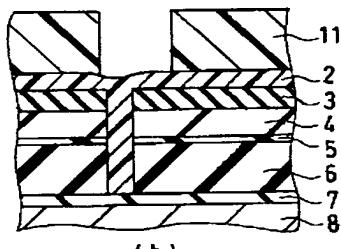


(b)

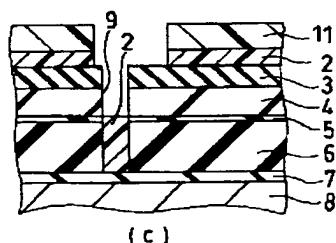
【図15】



(a)



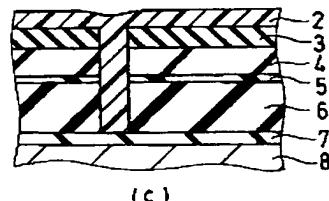
(b)



(c)

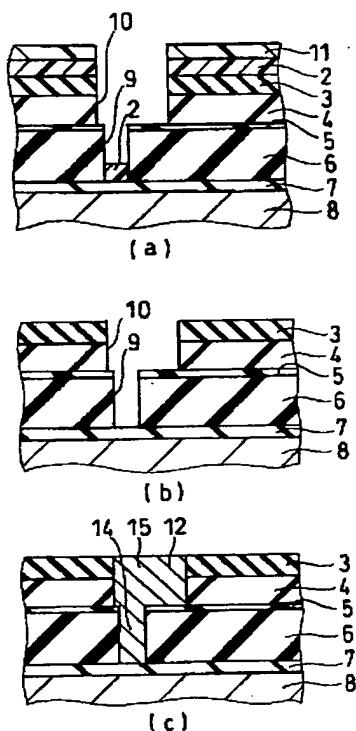
11 ; レジスト

2 ; 下層反射防止膜 3 ; キャップ膜 4, 6 ; 層間絶縁膜  
5, 7 ; エッティングストップ膜 8 ; 下層配線層 9 ; ビアホール



(c)

【図16】



2 ; 下層反射防止膜      3 ; キャップ膜      4 、 6 ; 層間絶縁膜  
 5 、 7 ; エッチングストップ膜      8 ; 下層配線層      11 ; レジスト  
 12 ; 電極材料      14 ; ビア      15 ; 配線